

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-204567

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.⁶
H 03 M 3/00
G 11 C 11/416
H 03 M 1/38

識別記号 庁内整理番号
9382-5K

F I

技術表示箇所

G 11 C 11/ 34 331

H 04 N 7/ 13 Z

審査請求 未請求 請求項の数20 OL (全17頁) 最終頁に続く

(21)出願番号 特願平7-14093

(22)出願日 平成7年(1995)1月31日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 小川 勝久

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 宮脇 守

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

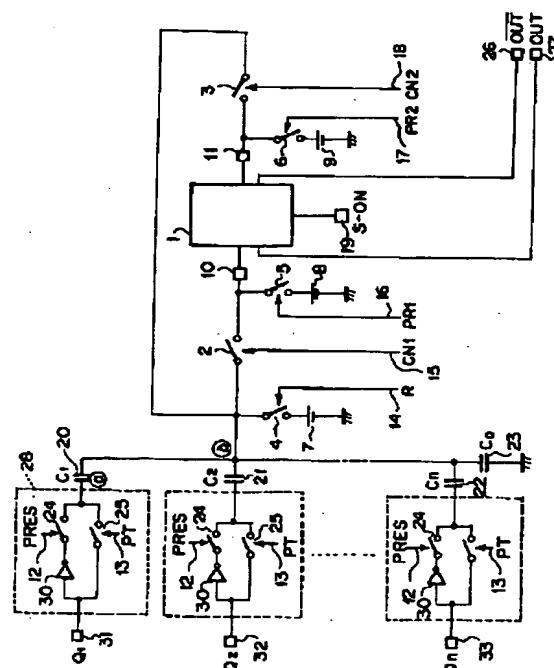
(74)代理人 弁理士 山下 穣平

(54)【発明の名称】 半導体装置とこれを用いた半導体回路、相関演算装置、A/D変換器、D/A変換器及び信号処理システム

(57)【要約】

【目的】 半導体装置において、bit数の増大による回路規模増大を削減し、且つ高速演算を可能とすることを目的とする。

【構成】 多入力端子Q1～QNに入力信号の正論理、負論理を選択できる第1のスイッチ手段24、25を介し、容量手段C1～CNが接続され、容量手段の一方が共通接続(b点)されて第2のスイッチ手段2を通して差動入出力形センスアンプ1の第1の差動入力手段10に接続され、また該容量手段の前記共通接続部が第3のスイッチ手段3を通して前記差動入出力形センスアンプの前記第1の差動入力手段と極性の反した第2の差動入力手段11に接続されて、入力差電位に沿った極性の論理振幅レベルの差動出力を出すことを特徴とする。



【特許請求の範囲】

【請求項1】 多入力端子に入力信号の正論理、負論理を選択できる第1のスイッチ手段を介してそれぞれ容量手段が接続され、前記容量手段の一方が共通接続され第2のスイッチ手段を通して差動入出力形センスアンプの第1の差動入力手段に接続され、また前記容量手段の前記共通接続部が第3のスイッチ手段を通して前記差動入出力形センスアンプの前記第1の差動入力手段と逆極性の第2の差動入力手段に接続されて、前記第1と第2の差動入力手段の入力差電位に沿った極性の論理振幅レベルの差動出力を出力することを特徴とする半導体装置。

【請求項2】 前記容量手段の共通接続された端子に第1のリセット用スイッチ手段が設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記差動入出力センスアンプの前記第1の差動入力手段及び前記第2の差動入力手段にそれぞれ第2及び第3のリセット手段が設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1、第2、第3のリセット用スイッチ手段の導通期間に前記入力信号の正論理又は負論理のどちらか一方が前記第1のスイッチ手段を介し前記容量手段の一方に印加される第1の容量入力端リセット期間とが少なくとも重なっていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記第1のスイッチ手段を介し前記第1の容量入力端リセット期間時に印加された逆の論理にて前記容量手段の一方に信号を書き込む第1の入力信号転送期間と前記容量手段の共通接続された端子と前記差動入出力形センスアンプの前記第1の差動入力手段をつなぐ前記第2のスイッチ手段の導通期間がすくなくとも前記第1の入力信号転送期間よりも後で導通することを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記第2のスイッチの導通期間終了後、前記第1のリセット手段によって前記容量手段の共通接続された端子を再度リセットすることを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記第1のスイッチ手段を介して前記第1の容量入力端リセット期間時に印加された論理と同一論理にて再度、前記容量手段の一方に信号を書き込む第2の入力信号転送期間と前記容量手段の共通接続された端子と前記差動入出力形センスアンプの前記第2の差動入力手段をつなぐ前記第3のスイッチ手段の導通期間がすくなくとも前記第2の入力信号転送期間より後で導通することを特徴とする請求項1に記載の半導体装置。

【請求項8】 前記容量手段の一方に信号を書き込む第1の入力信号転送期間によって前記第1の差動入力手段に保持されたアンプ入力電圧1と、前記第2の入力信号転送期間によって前記第2の差動入力手段に保持されたアンプ入力電圧2との差を前記差動入出力形センスアンプをONさせて論理振幅レベルまで増幅し差動出力を次

段へ送ることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記差動入出力形センスアンプが同一極性のトランジスタで組まれた差動ペアを入力段に有し、前記差動ペアの入力電位差に応じた極性で論理振幅レベルまで増幅することのできる差動出力形アンプであることを特徴とする請求項1に記載の半導体装置。

【請求項10】 前記差動出力形アンプは、外部からの制御信号でON/OFF可能であり、かつOFF時に前の演算結果を保持する機能を有することを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記差動入出力センスアンプが正帰還効果を利用したラッチ形センスアンプであることを特徴とする請求項1に記載の半導体装置。

【請求項12】 前記ラッチ形センスアンプは、外部からの制御信号で正帰還による増幅効果をON/OFFする機能を有することを特徴とする請求項11に記載の半導体装置。

【請求項13】 請求項1に記載の半導体装置を複数個有し、前記複数個のうち第1の前記半導体装置の出力及び／又は前記半導体装置出力の反転出力を第2の前記半導体装置に入力することを特徴とする半導体回路。

【請求項14】 請求項1に記載の半導体装置において、前記多入力端子に対応した容量手段のうち、最小の容量をCとした時、共通接続される容量手段の容量の合計の容量値が前記最小の容量Cのほぼ奇数倍となっていることを特徴とする半導体回路。

【請求項15】 請求項13に記載の半導体回路を使用して相関演算することを特徴とする相関演算装置。

【請求項16】 請求項1に記載の半導体装置を含むA/D変換器であって、前記半導体装置にアナログ信号を入力し、前記アナログ信号に応じたデジタル信号を出力することを特徴とするA/D変換器。

【請求項17】 請求項1に記載の半導体装置を含むD/A変換器であって、前記半導体装置にデジタル信号を入力し、前記デジタル信号に応じたアナログ信号を出力することを特徴とするD/A変換器。

【請求項18】 請求項15に記載の相関演算装置又は請求項16に記載のA/D変換器または請求項17に記載のD/A変換器の少なくとも一つを含むことを特徴とする信号処理システム。

【請求項19】 請求項18に記載の信号処理システムにおいて、画像信号を入力する画像入力装置を含むことを特徴とする信号処理システム。

【請求項20】 請求項18に記載の信号処理システムにおいて、情報を記憶する記憶装置を含むことを特徴とする信号処理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は並列信号処理を行なう半

・導体装置、及びそれを用いた半導体回路、相関演算装置、A/D変換器、D/A変換器、信号処理システムに関するものである。

【0002】

【従来の技術】従来、信号処理の高度化にともない、きわめて大量のデータを高速で処理する演算装置を低コストで実現することが重要になってきた。なかでも動画像の動き検出に用いる相関装置、高精度のアナログデジタル、デジタル～アナログ変換器などは特に、またスペクトラム拡散(S S)通信などの技術は場合によってはキガヘルツオーダーの高速で多入力の信号処理を必要とする。

【0003】従来この様な機能を半導体集積回路で実現する場合には、高速に演算処理する為、複数の半導体チップを用いて並列演算させたり最新の微細化ルールを用いてもかなり大きな回路規模を必要とし、回路の1chipによりやすく集積化しているのが実情である。

【0004】

【発明が解決しようとする課題】これらのチップは処理すべき信号のbit数が増加すると急激に回路規模が増大してしまうことが知られている。例えば、回路規模は演算bit数の2乗に比例して増大する。

【0005】従って、bit数の増大と共にコスト膨張を招いたり、実理不可能な回路規模になってしまうケースが見られた。例えば動画の圧縮・伸張の方式として提案されているMPEG2方式の動きベクトル検出チップなどは、未だ1chip化が未開発の状態である。

【0006】

【課題を解決するための手段および作用】本発明は、上記の様な従来技術の問題点を解決する新しい信号処理系を実現することである。本発明による並列演算処理回路において、多入力端子に入力信号の正／反論理を選択できる第1のスイッチ手段を設け、該第1のスイッチ手段を介して容量手段が接続され、該容量手段の一方が共通接続され、第2のスイッチ手段を通して差動入出力形センスアンプの第1の差動入力手段に、また該共通接続部が第3のスイッチ手段を通して該差動入出力形センスアンプの該第1の差動入力手段の極性を反転した第2の差動入力手段に接続され、当該入力差電位にそった極性の論理振幅差動出力を出力することを特徴とする半導体装置を提供することである。

【0007】上記半導体装置において、該多入力の容量手段の共通部に該容量手段を介して入力信号の正論理及び負論理の信号変化分(絶対値が同じで極性が反転している)を該第2及び第3のスイッチ手段を介して該差動入出力センスアンプの該第1の差動入力端と該第2の差動入力端に書き込み、該差動入出力アンプをONする事により高精度で、高速に並列演算処理を行うものであり、回路規模の縮少が可能で、消費電力の低減といった効果がある。

【0008】また高感度になっている為、並列多入力信号数を増加(例えば50～数100ヶの入力数)し、1サイクルの並列処理数を増加し、システム全体の高速化につながる。

【0009】また、かかる半導体装置を複数個有し、複数個のうち第1の該半導体装置の出力及び／又は該半導体装置出力の反転出力を第2の該半導体装置に入力する半導体回路を提供することで、例えば多数決回路の従属接続により、種々の機能演算を可能とするものである。

10 【0010】さらに、上記半導体装置を用いた半導体回路において、該多入力端子に対応した容量手段のうち、最小の容量をCとした時、共通接続される容量手段の容量の合計の容量値が該最小の容量Cのほぼ奇数倍となっていることを特徴とし、複数段の多数決回路を用いて、3ビット2進数回路が段数の少ない簡単な構成で高集積化された集積回路を達成できる。

【0011】又、本半導体装置をもちいることで、多入力端子の入力を相関演算する相関演算装置や、該半導体装置にアナログ信号を入力し、該アナログ信号に応じたデジタル信号を出力するA/D変換器や、該半導体装置にデジタル信号を入力し、該デジタル信号に応じたアナログ信号を出力するD/A変換器や、上記演算装置又はA/D変換器またはD/A変換器の少なくとも一つを含む信号処理システムなどを、信号伝達が正確で、回路規模の小さい、高速処理を可能とする使用範囲の広いシステムを形成できる。さらにかかるシステムは、画像信号を入力する画像入力装置を含み、情報を記憶する記憶装置を含むことで、更なるシステムの応用範囲を拡張できるものである。

30 【0012】

【実施例】

〔第1の実施例〕図1に本発明による第1の実施例の構成回路図を示す。図1において、1は差動入出力形式のセンスアンプである。この差動入出力形式センスアンプ1の周辺において、10は該差動入出力形式のセンスアンプ1の第1の入力端子で+入力端子、11は該差動入出力センスアンプ1の第2の入力端子で-入力端子である。当然ながら、該第1の入力端子10を-入力端子、第2の入力端子11を+入力端子としてもかまわない。

40 26は該差動入出力センスアンプ1の反転側出力、27は該差動入出力センスアンプ1の正転側出力である。なお、ここで、該差動入出力形センスアンプ1がR Sフリップフロップ形のラッチ差動センスアンプの場合、入出力端は共通で使用することになり、該第1の入力端子10と該差動入出力センスアンプ1の正転出力27は共通接続となり、また該第2の入力端子11と該差動入出力センスアンプ1の反転出力26は共通接続となる。なお、この動作に関しては図5において後述する。また、19は該差動入出力センスアンプ1の動作をON/OFFする制御信号S-ONである。

【0013】一方、入力段において、入力信号31をQ₁、32をQ₂、…33をQ_nとするn個の並列多入力信号を入力信号Q₁～Q_nとする。n個の入力信号はそれぞれリセットスイッチ入力ブロック28に入力される。該入力信号Q₁を例に、リセットスイッチ入力ブロック28の動作を説明する。入力信号Q₁は、インバータ30を介して論理反転して第1の信号リセットスイッチ24を通して容量C₁20に入力され、該容量C₁20の入力端子a点を論理的に入力信号Q₁に、第1の信号リセットスイッチ24のオンによってリセットする。該信号リセットスイッチ24を制御するのが信号PRES12である。一方インバータ30を介さず信号転送スイッチ25を通して、該容量C₁に入力信号Q₁を転送する。該信号転送スイッチ25を制御するのが転送制御*

$$C_1 (\Delta V_1 - \Delta V_r) + C_2 (\Delta V_2 - \Delta V_r) + \dots + C_n (\Delta V_n - \Delta V_r) = C_0 \Delta V_r \quad \dots \quad (1)$$

但し、C₀はフローテングノードb点の寄生容量等23である。

【0016】上式を変形すると、

【0017】

【数2】

$$\Delta V_f = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} [V] \quad \dots \quad (2)$$

すなわち、C_xで重み付けした各端子の電位変化の線形和を該フローテングノードb点の電位変化として出力する。該入力信号Q₁～Q_nはアナログ信号でもデジタル信号でも可能である。たとえば、アナログ信号の場合、各端子の入力の大きさを重み付けして検出するニューロン素子として用いることもできる。またデジタル信号の場合、例えば入力信号のうちHレベル信号とLレベル信号の数を比較する多数決論理回路を構成することができる。また第1のリセットスイッチ4はフローテングノードb点を第1のリセット電圧源7の電位にリセットするためのリセット手段であり、制御信号R14でコントロールされる。また第2のリセットスイッチ5は該差動センスアンプ1の該入力端子10を第2のリセット電圧源8の電位に初期リセットする為のリセット手段であり、制御信号PR1でコントロールされる。また第3のリセットスイッチ6は第2のリセット電圧源9の電位に初期リセットする為のリセット手段であり制御信号9でコントロールされる。また第1の信号転送スイッチ2は入力演算によるフローテングノードb点の結果を該差動センスアンプ1の該入力端10へ転送するスイッチで、制御信号15CN1でコントロールされる。また第2の信号転送スイッチ3は入力演算によるフローテングノードb点の結果を該差動センスアンプ1の該入力端子11へ転送するスイッチで制御信号18CN2でコントロール

* 信号PT13である。

【0014】ここで、入力信号と容量の共通接続端子のフローテングノードb点に現われる信号は以下の関係にある。今n個の入力信号をQ₁～Q_n及びそれぞれのリセットスイッチ入力ブロック28に接続された入力容量をC₁～C_nとすると、リセットスイッチ24がオンした初期状態からの入力信号Q₁～Q_nによる電位変化量をΔV₁～ΔV_n、フローテングノードb点の電位変化量をΔV_rとすると、フローテングノードb点の電荷の総和は、信号入力前後で変化しないので（電荷保存の法則）、

【0015】

【数1】

$$C_1 (\Delta V_1 - \Delta V_r) + C_2 (\Delta V_2 - \Delta V_r) + \dots + C_n (\Delta V_n - \Delta V_r) = C_0 \Delta V_r \quad \dots \quad (1)$$

される。

【0018】図2は図1に示す本実施例の回路の動作タイミング説明図である。同図を用いて本実施例の動作を説明する。

【0019】まず入力端子に印加された信号は該インバータ30を通じ論理が反転した状態で該制御信号12PRESがON状態となっている為、該信号リセットスイッチ24を通してn個の該容量C₁、C₂～C_nの入力端子a点はn個の該入力信号Q₁、Q₂～Q_nの反転論理電位Q₁（反転）、Q₂（反転）、～Q_n（反転）の値でリセットされる。またこの時は同時に該制御信号14Rにより該容量の共通端である該フローテングノードb点を該第1のリセットスイッチ4がONし、該第1のリセット電位7にリセットされる。また該制御信号PR1、PR2により該差動センスアンプの該入力端10、11が該第2及び第3のリセットスイッチ5、6のONにより、該第2及び第3のリセット電位8、9にリセットされる。おのおの該リセット電位7、8、9は例えば電源電圧が5V系であった場合、そのほぼ半分の2.5Vを用いる。但しリセット電位はこれに限るものではなく他の電圧でもよい。また該第1のリセット電位7と該第2及び第3のリセット電位8、9はかならずしも同じ電圧とは限らず違っていてもかまわない。また該第2のリセット電位8と該第3のリセット電位9は該差動入出力センスアンプ1の入力換算オフセット電圧分だけ逆方向にずれた直流電位で該差動入出力センスアンプ1のオフセット分をキャンセルする電圧になっている場合もある。

【0020】このようにして、該容量の両端及び該差動入出力センスアンプ1の両端をリセットする期間を図2では初期リセット期間という。該各ノードがリセット電位に到達した時点で、各リセットスイッチ24、4、5、6はOFFし、該容量の両端及び該差動センスアンプ1の電位はリセット電位に保持される。

- 【0021】次に、該信号転送パルスP.TがONすることで、該信号転送スイッチ2.5がONし、n個の該容量C₁, C₂~C_nに正転信号列Q₁, Q₂~Q_nが一括転送される。この時の信号変化分は電源電圧が5V系である場合、入力信号がLレベル0V、Hレベル5V(=電源電圧)のバイナリ信号だとすると、初期のリセット電位と入力信号の差電圧は最大で5Vまで得ることができ、電源電圧と同等の電位変化を得ることが出来、それだけフローテングノードb点の電位変化分も(2)式に応じて大きくなる。この時の該フローテングノードb点の電位変化は次の(3)式の様になる。

【0022】

【数3】

$$\Delta V_F(\text{正転}) = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad -- (3)$$

但し、 ΔV_x の値は、-5V(5Vのリセット電位→入力信号0Vの場合)

+5V(0Vのリセット電位→入力信号5Vの場合)

またC_xは該フローテングポイントb点の寄生容量等である。

【0023】次に、該制御信号15CN1がONになっているので、該フローテングノードb点の入力信号の変*

$$\Delta V_F(\text{反転}) = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} [V] \quad -- (4)$$

次に、該制御信号CN2がONであるので、該フローテングノードb点の電位の信号電位変動 ΔV_F (反転)は、該第2の信号転送スイッチ3を通して該差動センスアンプ1の該入力端子1.1に転送され、該第3のリセット電位9より ΔV_F (反転)だけ変化した所で該制御信号CN2をOFFし、その値を保持する。図2ではこの期間が反転信号転送期間である。

【0027】該反転信号転送期間が終了した時点で、該※

$$V_{IN10} = V_{RESET9} + \Delta V_F(\text{正転}) = V_{RESET9} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad -- (5)$$

但し、 V_{RESET9} は該第2のリセット電位8で定まるリセット電位である。

* 8 化に伴う電位変動 ΔV_F (正転)は該第1の信号転送スイッチ2を通して該差動入出力センスアンプ1の該入力端子1.0に転送され、該第2のリセット電位8より ΔV_F (正転)だけ変化した所で該制御信号CN1をOFFし、その値を保持する。図2ではこの期間が正転信号転送期間である。

【0024】次に、再度該容量の共通端であるフローテングノードb点を該制御信号Rにより該第1のリセットスイッチ4を通して該第1のリセット電位7にリセットされる。図2ではこの期間がフローテングリセット期間である。

【0025】次に、n個の該容量C₁, C₂~C_nの該入力端a点は、この時点での入力信号の正転論理すなわち正転信号Q₁, Q₂~Q_nでリセットされた状態である。ここで該制御信号12PRESをONすることにより、該第1の信号リセットスイッチ2.4をONし、該インバータ3.0を通してn個の該入力信号列Q₁, Q₂~Q_nの反転論理電位Q₁(反転), Q₂(反転), ~Q_n(反転)の値で再度リセットする。この様にして信号の反転論理を入力信号として該容量C₁, C₂~C_nに転送し、該フローテングノードb点の電位変化を得る。この時のフローテングノードb点の電位変化分 ΔV_F (反転)は(2)式より

【0026】

【数4】

※ 差動センスアンプ1の該入力端子1.0, 1.1には(3), (4)で示したリセット電位からの変化分が保持されている。リセット電位も含めて該入力端子1.0, 1.1に保持されている電位 V_{IN10} , V_{IN11} は、次の(5)及び(6)式となる。

【0028】

【数5】

$$V_{IN11} = V_{RESET9} + \Delta V_F(\text{反転}) = V_{RESET9} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad -- (6)$$

★ 【0029】

★ 【数6】

$$V_{IN11} = V_{RESET9} + \Delta V_F(\text{反転}) = V_{RESET9} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad -- (6)$$

但し、 V_{RESET9} は該第3のリセット電位9で定まるリセット電位である。

【0030】ここで、 $V_{RESET8} = V_{RESET9}$ とすれば、該*

$$\Delta V_{IN} = V_{IN10} - V_{IN11} = V_{RESET8} + \frac{\sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} - (V_{RESET9} + \frac{\sum_{X=1}^n Cx \overline{\Delta Vx}}{\sum_{X=0}^n Cx})$$

$$= \frac{\sum_{X=1}^n Cx \Delta Vx - \sum_{X=1}^n Cx \overline{\Delta Vx}}{\sum_{X=0}^n Cx} \quad --(7)$$

ここで、

【0032】

【数8】

$$[\sum_{X=1}^n \Delta Vx] \neq [\sum_{X=1}^n -\Delta Vx]$$

$$\Delta V_{IN} = \frac{\sum_{X=1}^n Cx \Delta Vx - \sum_{X=1}^n Cx \overline{\Delta Vx}}{\sum_{X=0}^n Cx} = \frac{2 \sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} \quad --(9)$$

こうして、例えば電源電圧が5V系の場合、(9)式の ΔV_x は最大で5Vであり、また正転論理の信号転送による該入力端子10の信号変位 ΔV_x (正転)と反転論理の信号転送による該入力端子11の信号変位 ΔV_x (反転)は該差動センスアンプ1で差動入力により受けるため、(9)式に示す通り片側の信号変位の2倍となる。この様にして容量演算の結果による、リセット電位からの電位変化を、(9)式で示す様に、該差動入出力センスアンプ1の前で大きくでき、該差動センスアンプ1を正確にかつ高速に処理することができる。

【0034】次に、(9)式に示す差動入力電位差 ΔV_{IN} を、該差動入力端に保持したまま該センスアンプ1を制御信号19S-ONによってONさせる。これにより大きい差動入力電位差 ΔV_{IN} を受け、該差動入出力センスアンプ1が立ち上がり、並列に演算の結果を、高精度かつ高速に判定し、正転出力OUT26と反転出力OUT27を差動出力として次段へ送る。

【0035】さらに該差動センスアンプ1のゲインを高く取ることにより、処理できる並列信号数の増加(50~数100)が可能になり、処理系全体の演算スピードの向上につながる。

【0036】図3に該差動入出力センスアンプ1の一構成例を示す。図1と同一符号のものは同一機能を有するので、詳細な説明は省略する。図3において、該差動入出力センスアンプ1の該+入力端子10と該-入力端子11との間には図1の実施例で説明した通り、初期リセ

* 差動センスアンプ1の差動入力電位差 ΔV_{IN} は、

【0031】

【数7】

※については、線形和の絶対値は等しく、+/-符号が逆転した関係にあるため($\Delta V_x = -\Delta V_x$ (反転))、(7)式は以下の様に変形できる。

【0033】

【数9】

$$\Delta V_{IN} = \frac{\sum_{X=1}^n Cx \Delta Vx - \sum_{X=1}^n Cx \overline{\Delta Vx}}{\sum_{X=0}^n Cx} = \frac{2 \sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} \quad --(9)$$

ットから反転信号転送までの過程を経て、(8)式で示す差動電位が保持されている。

【0037】図3において、該+入力端子10の電圧はNMOSトランジスタ600のゲートに、該-入力端子の電圧はNMOSトランジスタ601のゲートに印加される。該NMOSトランジスタ600及び601はソース端共通の差動ペアになっており、このソース端には定電流動作をする、NMOSトランジスタ604のドレンが接続されている。該NMOSトランジスタ604のソースはGND電位にゲートはNMOSトランジスタ613のゲートと共に接続され該制御信号S-ON19に接続されている。該制御信号S-ON19がアクティブになると、定電流源用NMOSトランジスタ604及び613がONし、定電流源として働き該NMOSトランジスタ604のドレンにNMOSトランジスタ600、601のソースが接続されている。

【0038】該NMOSトランジスタ600、601の差動ペアがONする。該NMOSトランジスタ600と601の差動段がONすると、該NMOSトランジスタ600のドレンとゲート/ドレンが接続されているPMOSトランジスタ602及び該NMOSトランジスタ601のドレンとドレンが接続されているPMOSトランジスタ603の能動負荷が働き出す。該PMOSトランジスタ602のソースは電源 V_{dd} 84にゲートはドレンとショートされ該NMOSトランジスタ600のドレン及び該PMOSトランジスタ603のゲ

トに接続され、出力として次段の差動ペアの片側のトランジスタであるNMOSトランジスタ609のゲートにつながる。

【0039】該PMOSトランジスタ603のソースは該電源V_{dd}84にドレインは該NMOSトランジスタ601のドレインに接続され、その接点が出力として次段の該差動ペアの片側のトランジスタであるNMOSトランジスタ610のゲートに接続される。

【0040】該NMOSトランジスタ609及び610はソース共通接続の差動ペアとなり該NMOSトランジスタ613のドレインに接続されている。該NMOSトランジスタ609及び610のドレインは能動負荷となるPMOSトランジスタ611及び612のドレインに接続されている。該PMOSトランジスタ611, 612のソースはそれぞれ該電源V_{dd}84に、ゲートは共通で電圧源V_tに接続されている。該電圧源V_tは該制御信号S-ONに同期して、該PMOSトランジスタ611及び612をON/OFFさせる電圧が供給される。すなわち該制御信号S-ONが論理的にアクティブの時、該定電流源用NMOSトランジスタ604, 613がONし、これと同期して該電圧源V_tが該PMOSトランジスタ611, 612をOFFからONに切り換る電圧が発生し、該PMOSトランジスタ611, 612がONし、定電流源の能動負荷として機能する。

【0041】図2に示すセンスアンプON期間において、該制御信号S-ONはアクティブとなり、該入力段NMOS差動ペア600, 601と該アクティブPMOS負荷602, 603からなる初期差動アンプを形成し、また該入力段NMOS差動ペア609, 610と該定電流PMOS負荷611, 612からなる次段差動ペアを形成し、該差動形センスアンプ1のブロックがONになる。この状態で該+入力端子10と該-入力端子11の該差電圧△V_{IN}が二段の差動CMOSアンプで増幅され、該次段差動ペア609, 610のドレインに差動出力として大振幅に増幅された後、該NMOS610に接続されているNMOSトランジスタ620とPMOSトランジスタ621からなるトランジスタゲート102、及び該NMOS609のドレインに接続されているNMOSトランジスタ623とPMOSトランジスタ624からなるトランジスタゲート103が、制御信号STがONするハイレベルになることで、該NMOS620, 623はON、該PMOS61, 66はそれぞれインバータ622及び625を介してゲートをしにすることでONする。

【0042】この結果、2段目の該差動CMOSアンプで差動出力となっている電圧をおののの該トランジスタゲート102, 103を通すことによって、次段のNMOSトランジスタ626及びPMOSトランジスタ627からなるインバータ100が正転出力を、また次

段がNMOSトランジスタ628とPMOSトランジスタ629からなるインバータ101が反転出力を出力する。この時点では、該制御信号S-ONがOFFすると同時に、該トランジスタゲート102, 103をOFFする。これにより演算サイクルが終了となる。

【0043】該トランジスタゲート102, 103がONになっても、ゲート電圧は保持された状態となり、該出力は次の演算サイクルまで前回の出力状態を保持したままである。この状態で、信号は次段に転送され該差動センスアンプ1は次の演算サイクルでの処理を持つ。図4にS-ON, V_t, STのタイムチャートを示す。図4は図2の反転信号転送期間から次の初期リセット期間の動作を示し、センスアンプ1を動作させる制御信号S-ONとこれと同期した反転電圧源V_tと、センスアンプ1の出力部のトランジスタゲート102, 103を制御する制御信号STとのタイミング関係を示している。制御信号STがハイレベルの後、ローレベルとなつても、出力は出力状態を保持し続ける。

【0044】〔第2の実施例〕本発明による第2の実施例について、図5に示す図面を参照しつつ説明する。図1と同一符号のものは同様な機能を有するものとして詳細な説明を省略する。本実施例は差動入出力センスアンプ1をフリップフロップを用いたラッチ形センスアンプとしたものである。ラッチ形センスアンプ1は入出力端は共通である為図1の入力端子10は、そのまま出力信号OUT27となり、次段へ送られる。また同様に図1の入力端子11は、そのまま出力信号OUT(反転)26となり、該出力信号OUTの反転論理を次段へ送る。

【0045】図2を用いて動作を説明すると、初期リセット～反転信号転送までは第1実施例と同様の動作で、図5の入出力端子10および11には、下記の(10)式で示められている差電圧が発生している。

【0046】

【数10】

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{M C_x} \quad --(10)$$

【0047】今、図2で示す反転信号転送期間終了後、該ラッチ形センスアンプ1の該入力端10, 11の電位関係がV₁₁₁₀ > V₁₁₁₁であり、かつ

【0048】

【数11】

$$|V_{IN10} - V_{RESET9}| = |V_{IN11} - V_{RESET9}| = \frac{\sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} \quad --(11)$$

であり、

【0049】

【数12】

$$V_{IN10} = V_{RESET9} + \frac{\sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} \quad --(12)$$

【0050】

【数13】

$$V_{IN11} = V_{RESET9} - \frac{\sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} \quad --(13)$$

但し、 $V_{RESET9} = V_{RESET8}$ である。

【0051】上記(12)式、(13)式の電位を、該入力端子10及び11に保持されたまま、該制御信号S-ONのハイレベルにより、該ラッチ形センスアンプ1がONし、該リセット電位より高い該 V_{IN10} を持つ該入力端子10は該ラッチ形センスアンプ1の正帰還効果により、より高い電位に推移し、最終的には電源電圧 V_{dd} で安定となる。

【0052】また、該リセット電位より低い該 V_{IN11} を持つ入力端子11は同様に正帰還作用により、より低い電位に推移し最終的にはGND電位で安定となる。同様に $V_{IN10} < V_{IN11}$ の場合は、該入力端子10は最終的にGND電位で安定となり、入力端子11は最終的に電源電圧 V_{dd} で安定となる。この様にして該ラッチ形センスアンプ1をONさせる前に、差動入力端に大きな電位差を持たせることにより、正確かつ高速な演算を行うことができる。また該ラッチ形センスアンプ1の感度を上げれば、多入力(例えば50～数100の入力数)の演算が可能になり、並列演算数の向上につながり、ひいては信号処理系の演算スピードの高速化につながる。また本実施例によるラッチ形センスアンプの場合、これ自身がデータ記憶能力を有し、次の演算までデータを保持することができる。この為並列演算処理数が増加し、接続配線の遅延等により、次段での信号の受け渡しにおいて信号間で相対的に遅延が生じたり、クロストークにより信号にノイズが混入しても、該ラッチ形センスアンプの出力はラッチ状態により結果として、演算基本クロックにそった正確な信号伝送を実現し、高精度な並列演算処理を行えるものである。

【0053】また該ラッチ形センスアンプの該入力端子

10及び入力端子11は、演算結果OUTと該演算結果OUTの反転論理出力を次段に転送できる。このため両者は差動出力となり、次段へ転送できる様になり、次段の信号処理系が図1や図5の入力段に示す多入力端子を有する場合、次からの処理において次段のリセットスイッチブロック28内のインバータ30を使用しなくても、該出力信号OUT27、及び反転OUT(反転)26の論理が反転しているので、入力演算容量に接続されている入力信号切り換えスイッチ25及び24にダイレクトに信号を接続できることとなり、回路の簡素化につながりまた消費電力を低減することができる。

【0054】【第3の実施例】本発明による第3の実施例について、図6に示す図面を参照しつつ説明する。図5と同一符号のものは同様な機能を有するものであり詳細な説明を省略する。また回路動作を説明するタイミングチャートは図2を参照して説明するが各タイミング中のセンサアンプON期間の詳細は別途図7にて説明する。

【0055】図6において、リセットスイッチ入力ブロック28において、図5の第1の信号リセットスイッチ24は、NMOS74、PMOS75、インバータ72で構成され、信号リセットスイッチ用トランスマニアゲートとなり、該制御信号PRES12がHの時ONし、該入力信号Q1の反転論理で該容量C1の入力端a点をリセットする。

【0056】また該リセットスイッチ入力ブロック28において、図5の該信号転送スイッチ25は、図6において、NMOS76、PMOS77、インバータ30で構成される信号転送用トランスマニアゲートで、該制御信号PT13がHの時ONし、該容量C1の入力端a点に該入力信号Q1の正転論理を書き込む。また図5における該第1のリセットスイッチ4、該第2のリセットスイッチ5、該第3のリセットスイッチ6、該正転論理信号転送スイッチ2、該反転論理信号スイッチ3はそれぞれ図6のNMOS70、NMOS56、NMOS57、NMOS58、NMOS96に対応する。リセット電位83は各ノードをそれぞれのスイッチがONした時の収束する目標電位でこの場合、該第1、第2、第3のリセットスイッチは同一の該リセット電位83が与えられている。

【0057】本実施例の動作を説明するタイミングチャート2において、初期リセットから反転信号転送まではおのおの対応するスイッチがON/OFFし、入力端子のノード10及びノード11に(14)式で示す電位差、

50 【0058】

【数14】

$$\Delta V_{IN} = \frac{2 \sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} \quad --(14)$$

* 【数15】

入力端子10: $V_{IN10} = V_{RESET83} + \frac{\sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} \quad --(15)$

【0061】

※ ※ 【数16】

入力端子11: $V_{IN11} = V_{RESET83} - \frac{\sum_{X=1}^n Cx \Delta Vx}{\sum_{X=0}^n Cx} \quad --(16)$

この(15)式及び(16)式の電位に該ノードの入力端子10, 11が保持されたままの状態となっている。

【0062】この状態で図7に示す通りセンスアンプON期間に、まずEVをHにし、NMOS55をON状態とする。この時ソース共通のNMOS50とNMOS51が、差動構成のNMOSラッチとして働き、高い電位である該入力端子10(該NMOS50のドレインと該NMOS51のゲート接点)は保持したまま、低い電位である入力端子11(該NMOS51のドレインと該NMOS50のゲート接点)を正帰還効果により、該NMOS51がONし、NMOS50がOFFし、入力端子11にたまたま電荷を引き抜きGND電位へと推移していく。この様にして初期の電位差以上に入力端子10と11に差が生じた時点で、制御信号LT79をHからLに下げ、PMOS54をONする。該PMOS54のソースは電源V_{DD}84に接続されており、該PMOS54がONすることでソース共通のPMOS52とPMOS53が差動構成のPMOSラッチとして働き、これにより該NMOSラッチ及び該PMOSラッチが完全ONする為、正帰還効果により、より低い電位である入力端子11(該PMOS53のドレイン、該PMOS52のゲート、該NMOS51のドレイン及び該NMOS50のゲートの接点)は急速にGND電位に向い、入力端子10(該PMOS52のドレイン、該PMOS53のゲート、該NMOS50のドレイン及び該NMOS51のゲート接点)は、入力端子11がGND電位に急速に下がることで、入力端子10は正帰還効果により電源電圧84へ向う。これにより入力端子10は論理“H”に、入力端子11は論理“L”にラッヂされる。

【0063】該ノード10はOUT27として該ノード11はOUT(反転)26として差動出力として次段へ送られる。

【0064】また入力端子10, 11の電位関係がV

* の電位差を有している。

【0059】ここで該ノードの入力端子10, 11の電位関係が $V_{IN10} > V_{IN11}$ の時、該リセット電位83をV_{RESET83}とする。

【0060】

* 【数15】

$$\sum_{X=1}^n Cx \Delta Vx$$

※ ※ 【数16】

$$\sum_{X=1}^n Cx \Delta Vx$$

$V_{IN10} < V_{IN11}$ の時には、同様の正帰還動作により、入力端子10は論理“L”に、入力端子11は論理“H”にラッヂされる。

【0065】このようにして、ラッヂ形センスアンプの信号注入端子により、大きな電位差を持った電位差を持った差動信号が入力されていると、高精度かつ高速な処理が可能である。

【0066】またラッヂ形センスアンプの正帰還ゲインを上げることにより、多入力演算(例えば50～数100の入力数)が可能となり、並列演算処理数の向上しては処理系の演算スピードの高速化につながる。

【0067】またラッヂ形センスアンプの場合、これ自身がデータ記憶能力を持ち、次の演算までデータを保持することができる。この為並列演算処理数が増加し、接続配線の遅延等により、次段での信号の受け渡しにおいて信号間で相対的に遅延が生じたり、クロストークにより信号にノイズ混入しても、該ラッヂ形センスアンプの出力はラッヂ状態により、結果として演算基本クロックにそった正確な信号伝送を実現し、高精度な並列演算処理を行えるものである。

【0068】また該ラッヂ形センスアンプの入力端子10及び入力端子11は演算結果OUT27と該演算結果OUT26の反転論理出力を次段に転送できる。このため両出力は差動出力となり、次段へ転送できる様になり、例えば次からの処理において次段のリセットスイッチブロック28内のインバータ30を使用せずに該信号リセット用トランスマニアゲートの入力端(該NMOS74のソースと該PMOS72のソースの接点)と該信号転送用トランスマニアゲートの入力端(該NMOS76のソースと該PMOS77のソースの接点)に直接該出力OUT(反転)26, OUT27を入力することができる為、回路の簡素化につながり消費電力の低減、処理スピードの向上が可能である。

【0069】[第4の実施例] つぎに、上記半導体装置を用いて、相関演算回路に適用した例を第4の実施例として、図8を参照しつつ説明する。図8において、7つの入力端子を有する221-A、221-B、221-Cは多数決演算回路ブロック、222はインバータ、223は入力端子232の信号と相関係数233と比較する比較器である。224、225は入力端子群であり、多数決演算回路ブロック221-Aに入力される7つの入力信号と同様な信号が入力される。226、227、228は前段の多数決演算回路ブロックからの出力信号を入力する入力端子、229、230、231は通常の入力端子に接続された容量をCとするとき、入力端子226、227、228に対応して接続される容量値4C、2C、4Cを示す。

【0070】図8において、入力信号はそれぞれまず比較器223にそれぞれの相関係数233とともにに入力される。比較器223はそれぞれの入力信号と相関係数233が一致すればHIGH LEVELを、不一致であればLOW LEVELを出力する。比較器223の出力は多数決演算回路ブロック221-A～Cに入力される。たとえば7入力の多数決演算回路ブロック221-Aに比較器223の出力が入力されると、HIGH LEVELの数が過半数の場合、つまり7入力中4入力以上がHIGH LEVELであった場合、多数決演算回路ブロック221-AからHIGH LEVELが出力される。この出力状態を図9の図表のS3に示す。

【0071】同様に、たとえば7入力の入力端子群224と入力端子226の4入力と等価な4Cによる、計11入力の多数決演算回路ブロック221-Bでは、6入力以上がHIGH LEVELであった場合にHIGH LEVELが出力される。この出力状態を図9の図表のS2に示す。また、7入力の入力端子群225と入力端子228の4入力と等価な4C、入力端子227の2入力と等価な2Cによる、計13入力の多数決演算回路ブロック221-Cでは、7入力以上がHIGH LEVELであった場合にHIGH LEVELが出力される。この出力状態を図9の図表のS1に示す。

【0072】より具体的に説明すれば、7入力の多数決演算回路ブロックの出力値を入力のHIGH LEVELの数ごとに示すと、図9のS3のようになる。次に、図8に示すように、7入力の多数決演算回路ブロック221-Aの出力をインバータ222で極性反転して、多数決演算回路ブロック221-Bの重みづけ入力端子226に印加する。多数決演算回路ブロック221-Bは、11個のCが共通接続され、そのうち4つのCに重みづけ入力端子からの信号が印加され、他の7つの端子には多数決演算回路ブロック221-Aに入力されたものと同じ信号が印加される構成の11入力多数決演算回路である。例えば7入力中4入力以上がHIGH LEVELであった場合、先に述べたように重みづけ入力端子にはLOW LEVELが印加される。さらに重みづけ入力端子以外の入力端子に加え

られる信号のうち7入力中6入力以上がHIGH LEVELであった場合、トータルとして11入力多数決演算回路は過半数であるとの判定を下しHIGH LEVELを出力する。7入力中4入力以上5入力以下の場合は過半数に至らずLOW LEVELを出力する。一方、7入力中3入力以下がHIGH LEVELであった場合には重みづけ入力端子にはHIGH LEVELが印加される。7入力中2入力以上3入力以下がHIGH LEVELであった場合は4+2または4+3は6以上で過半数と判定されHIGH LEVELが出力される。また、1入力以下がHIGH LEVELであった場合、4+0または4+1は6以下でLOW LEVELが出力される。多数決演算回路ブロック221-Bの出力値を入力のHIGH LEVELの数ごとに示すと図9の図表1のS2のようになる。

【0073】また、多数決演算回路ブロック221-Cについても、入力端子228の4倍の容量値4C、入力端子227の2倍の容量値2Cを有する二つの重みづけ端子に、多数決演算回路221-A、多数決演算回路221-Bの出力の反転信号を印加して動作させることにより、図9の図表1のS1に示したような出力が得られる。本回路構成により、図9に示したように、複数入力のうち信号と相関係数が一致している入力の数を3桁の2進数に変換して出力することができる。

【0074】[第5の実施例] 第5の実施例について、図10、図11を参照しつつ説明する。本実施例は本発明を用いた3ビット精度アナログ・デジタル変換器(以下、A/D変換器と称する。)である。図11において、121-A、-B、-Cはそれぞれ1入力、2入力、3入力の演算回路ブロック、122はインバータである。123、124、125は前段の演算回路ブロックからの出力信号を入力する入力端子、126、127、128は通常の入力端子に接続された容量をCとするとき、123、124、125に対応して接続される容量値C/2、C/2、C/4を示す。129はアナログ入力端子であり、130はセット入力端子であり、131、132はそれに対応して接続される容量値C/4、C/8を示す。また、S1、S2、S3はデジタル出力信号端子である。

【0075】ここで、本実施例において、5V系電源を用いた場合について説明する。図10において、まず演算回路ブロック121-A～C内のセンスアンプ入力を演算回路ブロック121-Aは0Vに、演算回路ブロック121-B、Cはおよそ2.5Vにリセットする。また、信号入力端子123、124、125及びセット入力端子130の入力演算用コンデンサ202の入力側は5Vにリセットする。この時、信号入力端子129は0Vである。次に、セット入力端子130を0Vにセットし、入力端子129の入力電圧を0Vからアナログ信号電圧まで変化させると、演算回路ブロック121-Aにおいてはアナログ入力信号がおよそ2.5V以上になると、演算回路ブロック121-A内のセンスアンプ入力

電圧が論理反転電圧（ここでは2.5Vを仮定）を越え、HIGH LEVELが出力される。その結果を図11の図表のS3に示す。

【0076】アナログ入力信号が2.5V以上のとき入*

$$(C \times V_A - (C/2) \times 5 - (C/4) \times 5) / (C + C/2 + C/4)$$

この式から、演算回路ブロック121-Bは、アナログ信号電圧VAが3.75V以上のときHIGH LEVELを出力し、2.5V以上3.75V未満のときLOW LEVELを出力することがわかる。その結果を図11のS2に示す。

【0077】同様に、演算回路ブロック121-Cの出力は、図11のS1のようになる。

【0078】本実施例により、図11の図表に示したように、アナログ信号電圧を3ビットのデジタル信号に変換して出力するAD変換器を極めて小規模な構成で、演算速度も高速で消費電圧も低減して実現することができる。

【0079】本実施例では、3ビットのAD変換器について説明したが、もちろんこれに限るものではなく、さらに多ビットに容易に拡張できるものである。

【0080】本実施例では、容量を用いたフラッシュ型AD変換器の例について述べたが、本発明はこの方式に限るものではなく、たとえば抵抗列に入力した信号と基準信号とをコンバレータで比較し、その結果をエンコーダでエンコードすることでAD変換器のエンコーダ回路部などに本発明を応用しても、先に説明したのと同ような効果が得られることはいうまでもない。

【0081】以上説明したように、多入力端子の各々に対応した容量手段の一方の端子を共通接続し、センサアンプへ入力する回路ブロックでは、上記多入力端子に接続した容量の内、最小の容量をCとしたとき、上記容量手段の合計はほぼCの奇数倍となっている。

【0082】相関回路の場合、制御入力端子を有しない場合は、全て最小値から構成されており、また制御入力端子を有する場合も、例えば図8に示した第4の実施例で説明したように、制御入力端子に接続する容量は2C、4Cと偶数であり、奇数の入力信号端子との合計はCのほぼ奇数倍となっている。このような構成により、所望の基準値からの大小の区別が明確となり、演算精度が向上する効果を有する。

【0083】上記説明は、相関回路について述べたが、2進数DA変換器は最小ビット LSB信号入力容量をCとすると、次のビットが2C、さらに次のビットが4Cと、倍々となり、多入力端子の容量の合計はCのほぼ奇数倍となり、高精度のDA変換を実現できる。

【0084】また、AD変換器についても、図10に示した第5の実施例で説明したように、アナログ信号レベルを、フルレンジの1/2を越えるか、1/2未満かを明確に判断する分割数は、121-Aでは1Cの1つ、121-Bでは1/4と、2/4、3/4かの分割数は

* 力端子123はリセット電位の5Vから0Vに変化する。このとき演算回路ブロック121-B内のセンサアンプ入力端子での電位変化は、アナログ入力信号電圧をVAとすると、下の式のようになる。

[V]

3の奇数となりその合計はC/4を最小値として1+2+4=7倍の奇数倍となり、121-CではC/8を最小値として倍々のC/4、C/2、Cで、1+2+4+8=15倍の奇数倍に設定してある。

【0085】これらの構成により、高精度の演算ができるため、不要に大きな容量を設けることなく演算が実行できることにより、低消費電力、高速演算が実現した。

【0086】また、上記では相関演算器、AD変換器を例にとって説明したが、本発明はこれに限るものではなく、デジタル・アナログ変換回路、加算回路、減算回路など様々な論理回路に応用しても、同ような効果が得られるとはいうまでもない。

【0087】特に、DA変換器を構成する場合、LSBデータが入力される容量をCとしたとき、次の上位ビットになるにつれて2C、4C、8Cと倍々にしていけば、2進のデジタル・アナログ変換が実現できる。この場合、共通接続された容量の端子をMOS型ソースフォローアンプで受ける構成にすればよい。

【0088】【第6の実施例】本発明による第6の実施例を図12に示す。第6の実施例は、本発明の技術を従来回路技術と融合し、動画像等の動き検出チップを実現したものである。図13において、161、162は、それぞれ基準データ、参照データが格納されているメモリ部、163は相関演算部、164はチップ全体を制御するコントロール部、165は相関演算部163の相関結果の加算演算部、166は加算演算部165の加算結果の最小値を格納しているレジスタ部、167は比較器とおよび最小値とのアドレスの格納を行なう比較記憶部、168は出力バッファー及び出力結果格納部である。入力バス169には基準データ列が入力され、一方、入力バス170には基準データ列と比較すべき参照データ列が入力される。メモリ部161、162は、SRAMからなり、通常のCMOS回路で構成される。

【0089】参照データメモリ部162と基準データメモリ部161から入力された相関演算部163の相関演算に送られたデータは、本発明による相関演算回路により相関演算されるため、高速並列処理であり、極めて高速化が達成されるばかりでなく、少ない素子数で構成され、チップサイズが小さくなり、低コスト化が実現できた。相関演算結果は加算演算部165で相関演算のスコア（評価）を行ない、上記相関演算以前までの最大相関結果（加算値が最小値となる）が格納されているレジスタ部166との比較を比較記憶部167で行なう。仮に今回の演算結果が前回までの最小値よりもさらに小さい

21

場合は、その結果が、新たにレジスタ部166に格納され、前回までの結果が小さい場合は、その結果が維持される。このような動作を行なうことにより、最大相関結果が常にレジスタ部166に格納され、すべてのデータ列の演算終了後、その結果が出力バス171より例えば16ビット信号として出力される。

【0090】なお、コントロール部164、加算演算部165、レジスタ部166、比較記憶部167、出力結果格納部168は、今回通常のCMOS回路により構成したが、特に加算演算部165等は、本発明のリセット手段を含む回路構成を用いることにより、センスアンプの正確な動作を実現し、高速処理が実現される。以上述べたように、高速性、低コスト性のみならず、ラッチ回路を経て、容量をベースに演算を実行するため、消費電流が少なく低パワー化が実現でき、8mmVTRカメラ等の携帯機器等にも好適である。

【0091】【第7の実施例】本発明による第7の実施例について図13を参照しつつ説明する。第7の実施例は、本発明の技術を光センサ(固体撮像素子)と融合し、画像データを読み出す前に高速画像処理を行なうチップ構成を示したものである。

【0092】図13(a)は本発明のチップの全体構成を示すブロック図であり、図13(b)は本発明のチップの画素部の構成を示す回路図であり、図13(c)は本発明のチップの演算内容を説明する概念図である。

【0093】図において、141は光電変換素子を含む受光部、143、145、147、149はラインメモリ部、144、148は相関演算部、150は演算出力部である。また、図13(b)に示す受光部141の内、151、152は、光信号出力端子142、146に示す出力バスラインとを接続する結合容量手段、153はバイポーラトランジスタ、154はバイポーラトランジスタ153のベース領域に接続された容量手段、155はスイッチMOSトランジスタである。画像データセンシング部160に入射した画像データは、バイポーラトランジスタ153のベース領域で光電変換される。

【0094】光電変換された光キャリアに応じた出力が、バイポーラトランジスタ153のエミッタに読み出され、結合容量手段151、152を介して、出力バスライン142、146の電位を入力蓄積電荷信号に応じて押し上げる。以上の動作により、縦方向の画素の加算結果はラインメモリ147に読み出され、一方、横方向の画素の加算結果はラインメモリ143に読み出される。これは画素部の容量154を介して、バイポーラトランジスタ153のベース電位を上昇させる領域をデコーダ(図13には示していない)等により選択すれば、センシング部160の任意の領域のX方向、Y方向の加算結果が出力可能となる。

【0095】例えば、図13(c)に示す如く、t₁時刻に156に示す如き画像が、t₂時刻に157に示す

22

如く画像が入力されるとすると、それぞれY方向に加算した出力結果は、158、159に示す如く、図示の車の移動状態の画像信号となり、このデータがそれぞれ図13(a)のラインメモリ147、149に格納される。また、横方向の場合も同様にラインメモリ143、145に格納される。

【0096】図13(c)の画像信号のデータ列出力158、159からわかるように両者のデータは、画像の動きに対応してシフトしており、相関演算部148でそのシフト量を算出し、同様に相関演算部144で横方向のデータを演算すれば、2次元平面での物体の動きを非常に簡単な手法により検出できる。

【0097】本発明による相関演算回路は図13の相関演算部144、148に適用することができ、素子数が従来回路より少なく特にセンサ画素ピッチに配置できた。本構成は、センサのアナログ信号ベースの演算であったが、ラインメモリ部と出力バスラインとの間に本発明によるA/D変換器を設けることにより、デジタル相関演算にも対応できることは言うまでもない。

【0098】又、本発明のセンサ素子として、バイポーラ型を用いて説明したが、MOS型でも、又増幅用トランジスタを設けずフォトダイオードのみの構成でも有効であることはいうまでもない。

【0099】さらに、本実施例では、異なる時刻のデータ列間の相関演算を行ったが、一方のメモリ部に認識したい複数のパターンデータのX、Y射影結果を格納しておけば、パターン認識も実現できる。

【0100】以上説明したように、画素入力部と本発明による相関演算回路等とを融合することにより、以下の効果を奏せられる。

(1) 従来のセンサからシリアルに読み出した後処理するのではなく、並列にかつ一括読み出したデータを並列処理するため、高速に動き検出、パターン認識処理が実現できる。

(2) センサを含む1チップの半導体装置を構成でき、周辺回路を増大させることなく、画像処理が実現できるため、低コストで、以下の高機能製品を実現できる。即ち、(a) TV画面をユーザー方向に向ける制御機器、(b) エアコンの風向きをユーザー方向に向ける制御機器、(c) 8mmVTRカメラの追尾制御機器、(d) 工場でのラベル認識機器、(e) 人物自動認識受け付けロボット、(f) 車の車間距離制御装置などである。

【0101】以上、画像入力部との融合について説明したが、画像データだけでなく、音声認識等の処理に有効であることはいうまでもない。

【0102】

【発明の効果】以上説明したように本発明によれば、多変数信号に対して並列演算を行なう回路が、通常の論理回路と比べてトランジスタの数が少なく構成でき、微小信号に対する高感度化が図れるため、演算速度を高速化

でき、低消費電力化を図ることができるという効果がある。

【0103】また差動入出力センスアンプの差動入力端に絶対値が同じで極性の反転した信号を書き込める為、センス系の差動ゲインは上がり超高度感度の検出が可能であるので、並列処理数の増加が可能であり、ひいては1サイクルによる演算数の向上につながる。またかかる差動入出力センスアンプはMOS型トランジスタで形成できるので、多入力段もMOS型トランジスタで形成できることと相俟って、回路規模の小さい、処理段数の少ない、高速処理が可能である。

【0104】さらに、差動入出力センスアンプにラッチ型センスアンプを用いた場合、センスアンプ自身で記憶機能を有し、正転、反転出力の構成としているので、ノイズ混入の小さい正確なデータを転送でき、本半導体装置のシリーズ接続時にはさらに簡易な多入力段で構成できる。

【0105】当該半導体装置を多数決回路や相關演算器など、またA/D、D/A変換器や信号処理システムに活用することにより、物理的構造を小さく、小規模のチップで形成でき、配線数の小さい、その分外部ノイズの混入が小さく、高速演算処理が可能である。

【図面の簡単な説明】

【図1】本発明による第1実施例の構成を示す回路ブロック図である。

【図2】本発明による第1実施例のタイムチャートである。

【図3】本発明の第1実施例の差動入出力センスアンプの回路図である。

【図4】差動入出力センスアンプの動作を示すタイムチャートである。

【図5】本発明による第2実施例の構成を示す回路ブロック図である。

【図6】本発明による第3実施例の構成を示す回路図である。

【図7】第3実施例のラッチ形センスアンプON時のタイミングチャートである。

【図8】本発明による第4実施例の構成を示す模式説明図である。

【図9】本発明による第4実施例の動作を示す図表である。

【図10】本発明による第5実施例の構成を示す模式説明図である。

【図11】本発明による第5実施例の動作を示す図表である。

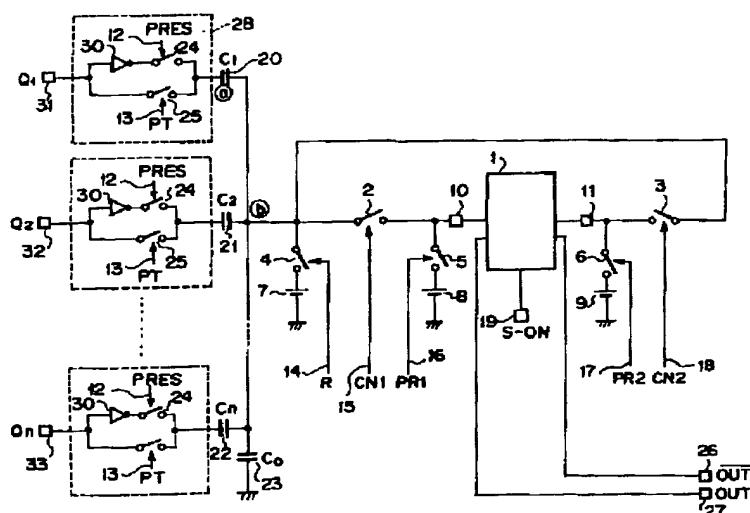
【図12】本発明による第6実施例の構成を示す模式説明図である。

【図13】本発明による第7実施例の構成を示す模式説明図である。

【符号の説明】

- | | |
|----|--|
| 1 | 差動入出力センスアンプ |
| 2 | 第1の信号転送スイッチ |
| 3 | 第2の信号転送スイッチ |
| 4 | 第1のリセットスイッチ |
| 5 | 第2のリセットスイッチ |
| 6 | 第3のリセットスイッチ |
| 7 | 第1のリセット電源 |
| 8 | 第2のリセット電源 |
| 9 | 第3のリセット電源 |
| 10 | 差動センスアンプの第1の入力端子 |
| 11 | 差動センスアンプの第2の入力端子 |
| 12 | 制御信号P R E S |
| 20 | 制御信号P T |
| 14 | 制御信号R |
| 15 | 制御信号C N 1 |
| 16 | 制御信号P R 1 |
| 17 | 制御信号P R 2 |
| 18 | 制御信号C N 2 |
| 19 | 制御信号S - O N |
| 20 | 容量C ₁ |
| 21 | 容量C ₂ |
| 22 | 容量C _n |
| 30 | 寄生容量C _o |
| 24 | 第1の信号リセットスイッチ |
| 25 | 信号転送スイッチ |
| 26 | 差動センスアンプの反転出力 |
| 27 | 差動センスアンプの正転出力 |
| 28 | リセット入力ブロック |
| 30 | インバータ |
| 31 | 入力信号Q ₁ |
| 32 | 入力信号Q ₂ |
| 33 | 入力信号Q _n |
| 40 | 100, 101 インバータ
102, 103 トランスマニアゲート
600, 601 NMOSトランジスタ |

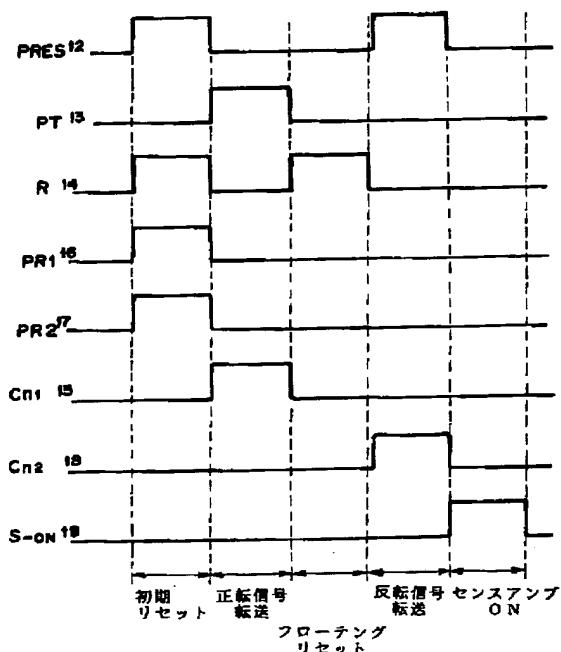
【図1】



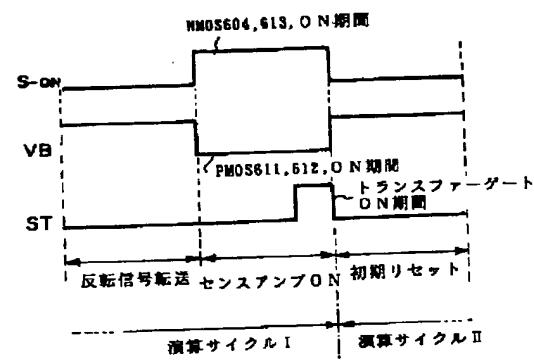
【図9】

入力	S3	S2	S1
0/7	0	0	0
1/7	0	0	1
2/7	0	1	0
3/7	0	1	1
4/7	1	0	0
5/7	1	0	1
6/7	1	1	0
7/7	1	1	1

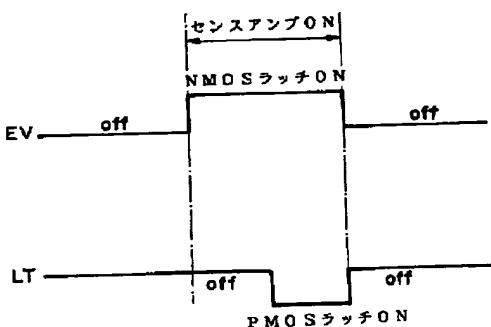
【図2】



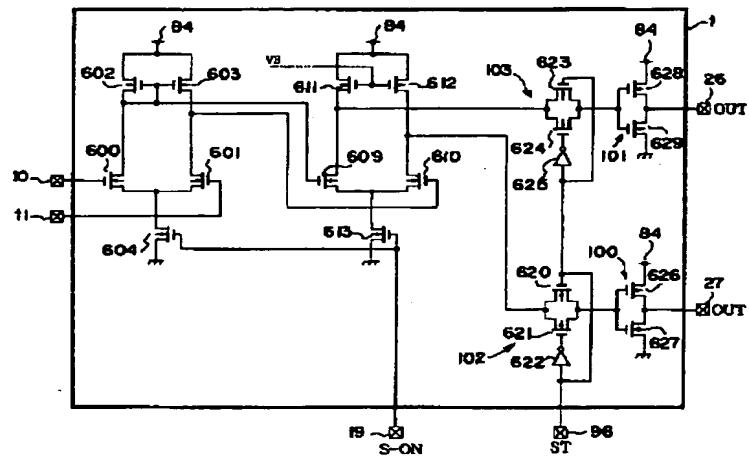
【図4】



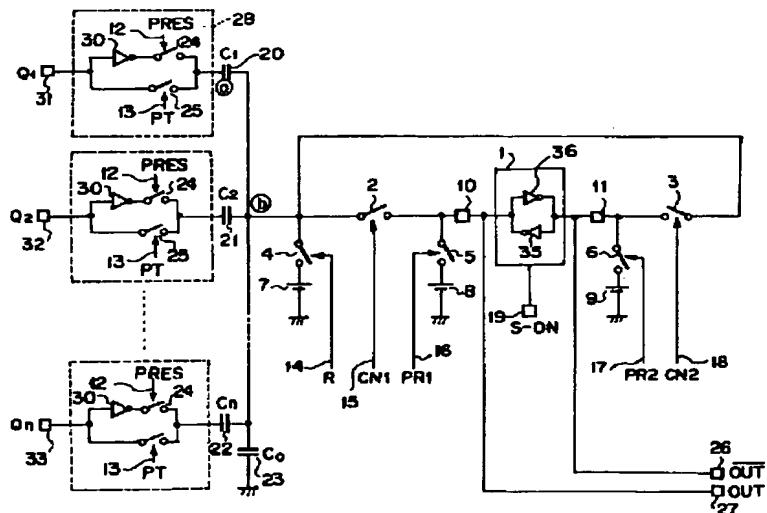
【図7】



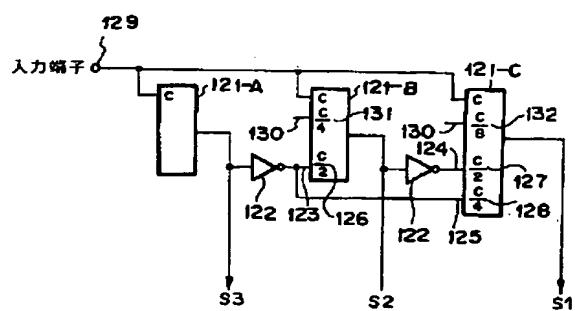
[図3]



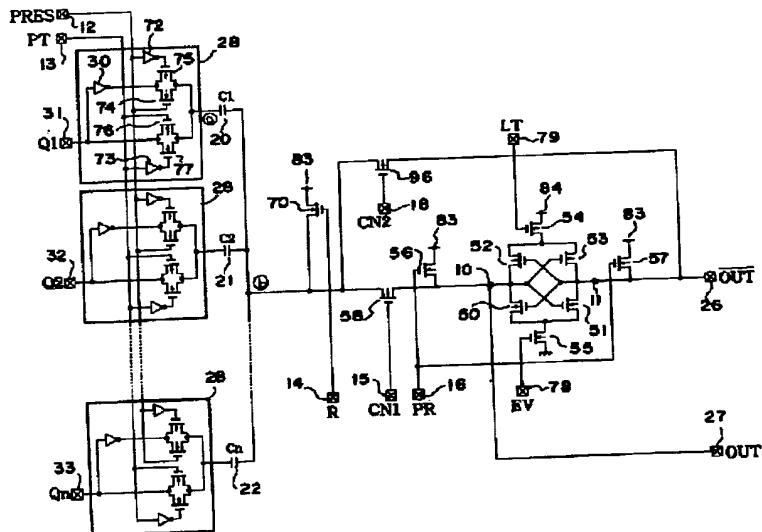
[図5]



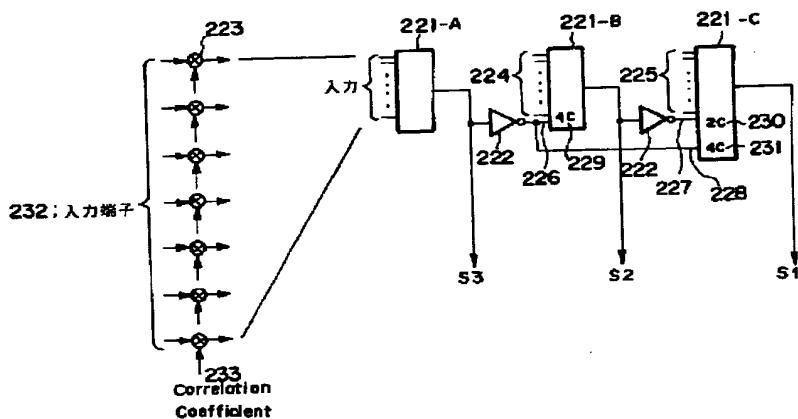
[図10]



〔図6〕



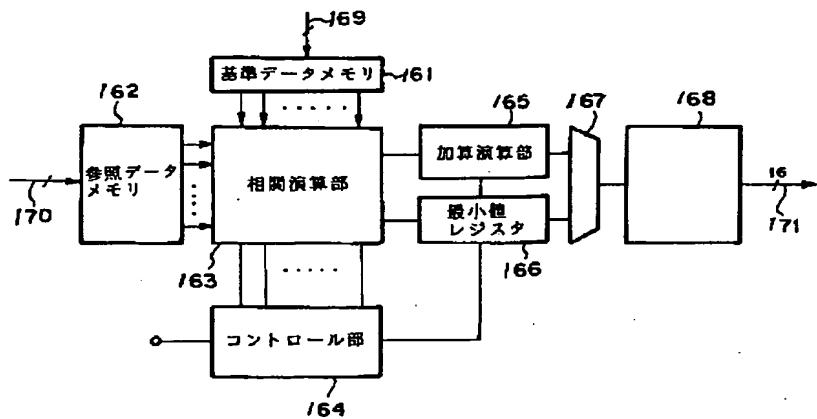
[図8]



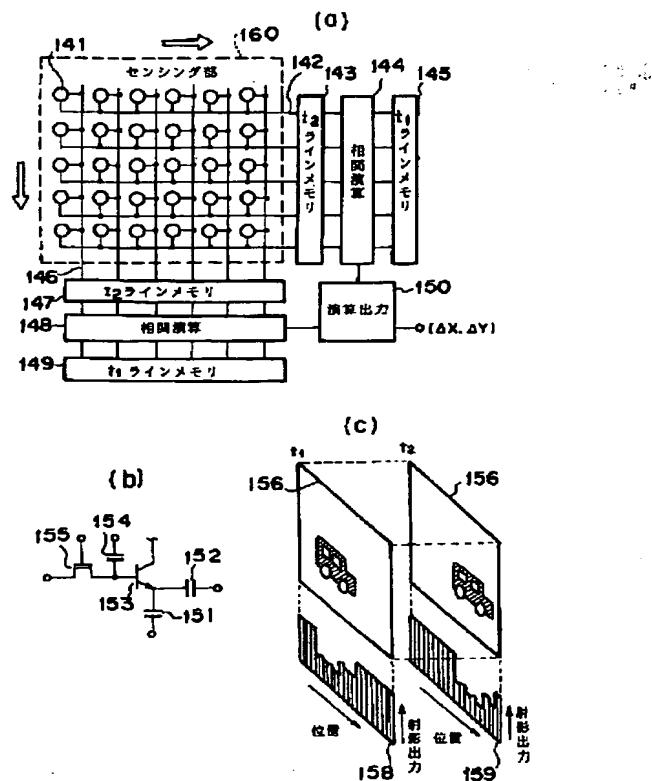
[图 1-1]

アナログ入力信号電圧	S 3	S 2	S 1
0.0≤VA<0.625	0	0	0
0.625≤VA<1.25	0	0	1
1.25≤VA<1.875	0	1	0
1.875≤VA<2.5	0	1	1
2.5≤VA<3.125	1	0	0
3.125≤VA<3.75	1	0	1
3.75≤VA<4.375	1	1	0
4.375≤VA<5.0	1	1	1

【図12】

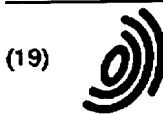


【図13】



フロントページの続き

THIS PAGE BLANK (USPTO)



(19)

Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 725 357 A2

(12)

EUROPEAN PATENT APPLICATION

(43) Date of publication:
07.08.1996 Bulletin 1996/32(51) Int. Cl.⁶: G06J 1/00, H03M 1/42,
H03M 1/80, G06T 7/20,
G06T 1/20

(21) Application number: 96101268.9

(22) Date of filing: 30.01.1996

(84) Designated Contracting States:
DE FR GB IT NL• Miyawaki, Mamoru,
c/o Canon K.K.
Ohta-ku, Tokyo (JP)

(30) Priority: 31.01.1995 JP 14093/95

(71) Applicant: CANON KABUSHIKI KAISHA
Tokyo (JP)

(72) Inventors:

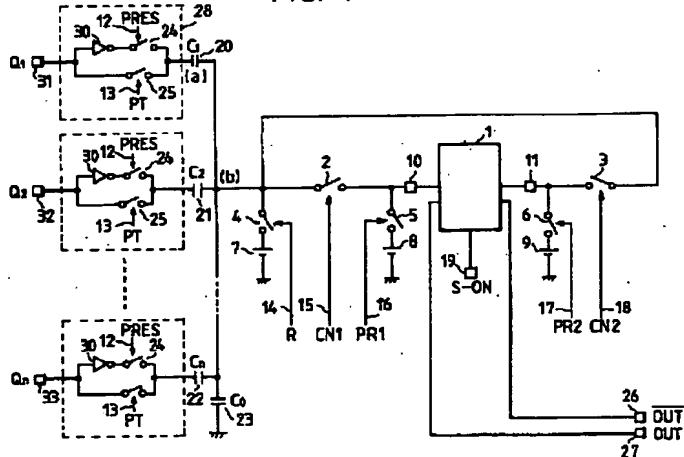
• Ogawa, Katsuhisa,
c/o Canon K.K.
Ohta-ku, Tokyo (JP)(74) Representative: Pellmann, Hans-Bernd, Dipl.-Ing.
et al
Patentanwaltsbüro
Tiedtke-Bühling-Kinne & Partner
Bavariaring 4
80336 München (DE)

(54) Semiconductor device, circuit having the device, and correlation calculation apparatus, signal converter, and signal processing system utilizing the circuit

(57) One terminals of capacitors (C1 - CN) are connected to multiple input terminals (Q1 - QN) via first switch means (24, 25) which can select a positive or negative logic of an input signal, and the other terminals of the capacitors are commonly connected (point b) to first differential input (10) of a differential input/output type sense amplifier (1) via second switch (2). The commonly connected portion of the capacitors are con-

nected to second differential input (11) of the differential input/output type sense amplifier, the second differential input having a polarity opposite to that of the first differential input, thereby suppressing an increase in circuit scale due to an increase in the number of bits, and assuring high-speed arithmetic operations.

FIG. 1



EP 0 725 357 A2

Description

BACKGROUND OF THE INVENTION

5 Field of the Invention

The present invention relates to a semiconductor device, a circuit having the device, and a correlation calculation apparatus, a signal converter, and a signal processing system utilizing the circuit and, more particularly, to a semiconductor device that allows parallel signal processing, a circuit having the device, and a correlation calculation apparatus, 10 a signal converter including an A/D (analog-to-digital) converter or a D/A (digital-to-analog) converter, and a signal processing system utilizing the circuit.

Related Background Art

15 In recent years, along with an increase in signal processing speed, it has become important to realize low-cost arithmetic operation apparatuses that can process a very large volume of data at high speed. Of these apparatuses, the above demand is even stronger for a correlation apparatus used in motion detection of dynamic images, high-precision analog-to-digital and digital-to-analog converters, and the like.

20 Since a technique such as a spread spectrum (SS) communication requires high-speed, multiple input signal processing on the GHz order in some cases, a demand for parallel processing of a large volume of data is becoming stronger in addition to further increases in processing speed and precision.

25 Conventionally, when such functions are realized using a semiconductor integrated circuit, parallel arithmetic operations are attained using a plurality of semiconductor chips so as to attain high-speed arithmetic operation processing. However, since the use of the plurality of semiconductor chips results in an increase in circuit area, an attempt for realizing a one-chip circuit using the latest micropatterning rule has been made.

Despite such attempt, since the conventional circuit arrangement basically has a large circuit scale, it requires a considerably large circuit scale even using the latest micropatterning rule, and circuit integration on one chip involves difficulty.

As is well known, when the number of bits of a signal to be processed increases, the circuit scale of such a chip sharply increases. For example, the circuit scale increases in proportion to a square of the number of bits to be operated.

Therefore, as the number of bits increases, the manufacturing cost of the apparatus increases, and the apparatus undesirably has a circuit scale that cannot be realized in practice. For example, a motion detection chip of the MPEG2 method, which has been proposed as a compression/expansion method of dynamic images, has not been integrated 35 on a single chip yet.

SUMMARY OF THE INVENTION

The present invention has been made in consideration of the above situation, and has as its object to provide a 40 semiconductor device that can attain parallel processing, and can process data, especially, a large volume of data, with high precision and at high speed.

It is another object of the present invention to provide a low-cost semiconductor device which can attain a high-speed arithmetic operation.

It is still another object of the present invention to provide a semiconductor device which can prevent the circuit 45 scale from extremely increasing even when the number of bits required for arithmetic operation processing increases.

It is still another object of the present invention to provide a semiconductor device which can attain arithmetic operation processing with low consumption power.

It is still another object of the present invention to provide a semiconductor device, in which one terminals of capacitor means are connected to multiple input terminals via first switch which can select a positive or negative logic of an 50 input signal, the other terminals of the capacitor means are commonly connected to first differential input unit of a differential input/output type sense amplifier via second switch, and the commonly connected portion of the capacitor is connected to second differential input unit of the differential input/output type sense amplifier via third switch, the second differential input unit having a polarity opposite to that of the first differential input unit.

It is still another object of the present invention to provide a circuit having the semiconductor device, such as a correlation calculation apparatus, a signal converter including A/D and D/A converters, and a signal processing system.

BRIEF DESCRIPTION OF THE DRAWINGS

- Figs. 1, 5, and 6 are schematic circuit diagrams for explaining examples of the circuit arrangement according to the present invention;
- Fig. 2 is a schematic timing chart for explaining an example of the driving timings of the circuit shown in Fig. 1;
- Fig. 3 is a schematic circuit diagram for explaining an example of a differential input/output type sensor amplifier;
- Fig. 4 is a schematic timing chart for explaining an example of the operation of the differential input/output type sensor amplifier;
- Fig. 7 is a schematic timing chart for explaining an example of the operation when a latch type sense amplifier shown in Fig. 6 is ON;
- Fig. 8 is a schematic circuit diagram for explaining an example in which the present invention is applied to a correlation arithmetic operation circuit;
- Fig. 9 is a schematic circuit diagram for explaining an example in which the present invention is applied to an A/D converter;
- Fig. 10 is a schematic block diagram for explaining an example in which the present invention is applied to a motion detection circuit;
- Fig. 11A is a schematic block diagram for explaining an example in which the present invention is applied to a circuit for performing image processing;
- Fig. 11B is a schematic circuit diagram for explaining an example of the circuit arrangement for one pixel of an optical sensor in Fig. 11A; and
- Fig. 11C is a schematic view for explaining an example of the arithmetic operation contents of the image processing.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

According to the present invention, by utilizing the potential difference between signals having different polarities and input to a differential input/output type sense amplifier, high-precision processing can be realized.

More specifically, according to the present invention, first switch means that can select a positive/negative logic of an input signal are arranged at multiple input terminals, capacitor means are connected via the first switch means, one terminal of each of the capacitor means is commonly connected to first differential input means of a differential input/output type sense amplifier via second switch means, and the commonly connected portion is also connected to second differential input means of the differential input/output type sense amplifier via third switch means, the second differential input means having a polarity obtained by inverting that of the first differential input means, thereby realizing a semiconductor device which can output a logic amplitude differential output having a polarity according to the input potential difference, and achieving the above-mentioned objects.

In the semiconductor device, the positive and negative logic signal change components (having the same absolute value but opposite polarities), which appear at the commonly connected portion of the multiple input capacitor means via the capacitor means, are written in the first and second differential input terminals of the differential input/output type sense amplifier via the second and third switch means to turn on the differential input/output type sense amplifier, thereby attaining high-precision, high-speed parallel arithmetic operation processing, and reducing the circuit scale and consumption power.

Since high sensitivity is obtained, the number of parallel input signals can be increased (e.g., up to 50 to several hundreds of inputs), the number of parallel processing stages per cycle can be increased, and a high-speed system as a whole can be realized.

A semiconductor circuit has a plurality of semiconductor devices as described above, and inputs the output and/or inverted output of the first semiconductor device of the plurality of semiconductor devices to the second semiconductor device, e.g., majority circuits are slave-connected, thus realizing various functional arithmetic operations with a simple arrangement.

Furthermore, in the semiconductor circuit using the semiconductor devices, when the minimum capacitance of the capacitor means corresponding to the multiple input terminals is represented by C, the total capacitance value of the capacitances of the commonly connected capacitor means is set to be substantially an odd multiple, i.e., exactly or roughly an odd multiple, of the capacitance C, and a plurality of stages of majority circuits are used, thus attaining an integrated circuit on which 3-bit binary circuits with a simple arrangement having a small number of stages are integrated at a high density.

Using the semiconductor device of the present invention, a correlation calculation apparatus for performing a correlation arithmetic operation of inputs at the multiple input terminals, a signal converter such as an A/D converter for inputting an analog signal to the semiconductor device and outputting a digital signal corresponding to the analog signal and a D/A converter for inputting a digital signal to the semiconductor device and outputting an analog signal corresponding to the digital signal, a signal processing system including at least one of the arithmetic operation apparatus,

EP 0 725 357 A2

and the signal converter such as the A/D and D/A converters, and the like can be realized. According to the present invention, in any case, an apparatus, a converter, or a signal processing system which can attain precise signal transmission, a small circuit scale, and high-speed processing, and has a broad use range, can be realized. Furthermore, this system can include an image input device for inputting an image signal, and a storage device for storing information, thus further widening the application range of the system.

5

[First Embodiment]

Fig. 1 is a schematic circuit diagram according to the first embodiment of the present invention. Referring to Fig. 1, a differential input/output type sense amplifier 1 has a first input terminal 10 (+ input terminal) and a second input terminal 11 (- input terminal). Of course, the first input terminal 10 may serve as the - input terminal, and the second input terminal 11 the + input terminal. The amplifier 1 also has an inverted output terminal 26, and a non-inverted output terminal 27. When the differential input/output type sense amplifier 1 comprises an RS flip-flop type latch differential sense amplifier, since the input and output terminals are commonly used, the first input terminal 10 and the non-inverted output terminal 27 are commonly connected, and the second input terminal 11 and the inverted output terminal 26 are commonly connected. The operation of this amplifier will be described later with reference to Fig. 5. The differential input/output type sense amplifier 1 is ON/OFF-controlled by a control signal 19 S-ON.

On the other hand, at the input stage, n parallel multiple input signals 31, 32, ..., 33 will be referred to as input signals Q_1 to Q_n . n input signals are respectively input to reset switch input blocks 28. The operation of each reset switch input block 28 will be described below while taking the input signal Q_1 as an example. The input signal Q_1 is logically inverted via an inverter 30, and the inverted signal is input to a capacitor C_1 20 via a first signal reset switch 24, thereby logically resetting an input terminal a of the capacitor C_1 20 to the input signal Q_1 when the first signal reset switch 24 is turned on. The signal reset switch 24 is controlled by a signal PRES 12. On the other hand, the input signal Q_1 is transferred to the capacitor C_1 via a signal transfer switch 25 without going through the inverter 30. The signal transfer switch 25 is controlled by a transfer control signal PT 13.

Note that the input signal and a signal appearing at a floating node b of the commonly connected terminal of the capacitors have the following relationship. Let Q_1 to Q_n be n input signals, and C_1 to C_n be input capacitors connected to the respective reset switch input blocks 28. Also, let ΔV_1 to ΔV_n be the potential change amounts due to the input signals Q_1 to Q_n from an initial state when the reset switches 24 are turned on, and ΔV_b be the potential change amount of the floating node b. The sum total of charges at the floating node b remains the same before and after the signal input (the principle of conservation of charge), and is expressed by equation (1) below:

$$C_1(\Delta V_1 - \Delta V_b) + C_2(\Delta V_2 - \Delta V_b) + \dots + C_n(\Delta V_n - \Delta V_b) = C_0\Delta V_b \quad (1)$$

35 where C_0 is a parasitic capacitance 23 or the like of the floating node b.

When the above equation is modified, we have:

$$\Delta V_b = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [V] \quad (2)$$

45 More specifically, the linear sum of potential changes at the respective terminals weighted with C_x is output as a potential change at the floating node b. The input signals Q_1 to Q_n can be either an analog or digital signal. In the case of analog signals, the circuit can be used as a neuron element for weighting and detecting the magnitudes of inputs at the respective terminals. On the other hand, in the case of digital signals, a majority logic circuit for comparing the numbers of H- and L-level signals of input signals can be constituted. A first reset switch 4 serves as reset means for resetting the floating node b to the potential of a first reset voltage source 7, and is controlled by a control signal R 14. A second reset switch 5 serves as reset means for initially resetting the input terminal 10 of the differential input/output type sense amplifier 1 to the potential of a second reset voltage source 8, and is controlled by a control signal PR1. A third reset switch 6 serves as reset means for resetting the input terminal 11 to the voltage of a second reset power supply 9, and is controlled by a control signal PR2. A first signal transfer switch 2 transfers the input arithmetic operation result at the floating node b to the input terminal 10 of the differential input/output type sense amplifier 1, and is controlled by a control signal 15 CN1. A second signal transfer switch 3 transfers the input arithmetic operation result at the floating node b to the input terminal 11 of the differential input/output type sense amplifier 1, and is controlled by a control signal 16 CN2.

Fig. 2 is a timing chart for explaining an example of the operation timings of the circuit of this embodiment shown in Fig. 1. An example of the operation of this embodiment will be described below with reference to Fig. 2.

The logics of signals applied to the input terminals are inverted via the inverters 30. In this state, since the control signal 12 PRES is in the ON state, the input terminals a of the n capacitors C₁, C₂, ..., C_n are reset by the values of the inverted logic potentials Q₁ (inverted), Q₂ (inverted), ..., Q_n (inverted) of the input signals Q₁, Q₂, ..., Q_n via the signal reset switches 24. At substantially the same time, the first reset switch 4 is turned on by the control signal 14 R and the floating node b as the common terminal of the capacitors is reset to the first reset potential 7. In addition, the second and third reset switches 5 and 6 are turned on by the control signals PR1 and PR2, and the input terminals 10 and 11 of the differential input/output type sense amplifier are reset to the second and third reset potentials 8 and 9, respectively. When the power supply voltage is a 5-V system, these reset potentials 7, 8, and 9 preferably use 2.5 V half the power supply voltage. However, the reset potentials are not limited to this voltage, but may be other voltages. The first reset potential 7 need not always be equal to the second and third reset potentials 8 and 9, but may be different from each other. In some cases, the second and third reset potentials 8 and 9 may be DC potentials which are offset by a voltage corresponding to the input offset voltage of the differential input/output type sense amplifier 1 in the opposite direction and cancel the offset components of the differential input/output type sense amplifier 1.

In this manner, a period in which the two terminals of each capacitor and the two terminals of the differential input/output type sense amplifier 1 are reset is called an initial reset period in Fig. 2. When the respective nodes have reached the reset potentials, the reset switches 24, 4, 5, and 6 are turned off, and the two terminals of each capacitor and the potential of the differential input/output type sense amplifier 1 are held at the reset potentials.

When the signal transfer pulse PT is turned on, the signal transfer switches 25 are turned on, and non-inverted signals Q₁, Q₂, ..., Q_n are simultaneously transferred to the n capacitors C₁, C₂, ..., C_n. Assuming that the power supply voltage is a 5-V system and the input signal is a binary signal of 0 V at L level and 5 V (= power supply voltage) at H level, the voltage difference between the initial reset potential and the input signal can be a maximum of 5 V as the signal change component at that time, that is, a potential change equivalent to the power supply voltage can be obtained. Thus, the potential change at the floating node b increases accordingly in correspondence with equation (2). The potential change at the floating node b at that time is given by equation (3) below:

$$\Delta V_f \text{ (non-inverted)} = \frac{\sum_{x=1}^n C_x \Delta x}{\sum_{x=0}^n C_x} \quad (3)$$

where the value of ΔV_x is -5 V (reset potential of 5 V → when input signal is 0 V) or +5 V (reset potential of 0 V → when input signal is 5 V), and C₀ is the parasitic capacitance or the like of the floating point b.

Subsequently, since the control signal 15 CN1 is ON, the potential variation ΔV_f (non-inverted) of the floating node b upon change in input signal is transferred to the input terminal 10 of the differential input/output type sense amplifier 1 via the first signal transfer switch 2. When the potential of the input terminal 10 has changed by ΔV_f (non-inverted) from the second reset potential 8, the control signal CN1 is turned off, and the value is held. In Fig. 2, this period corresponds to a non-inverted signal transfer period.

The floating node b as the common terminal of the capacitors is reset to the first reset potential 7 again via the first reset switch 4 by the control signal R. In Fig. 2, this period corresponds to a floating reset period.

At this time, the input terminals a of the n capacitors C₁, C₂, ..., C_n are reset by the non-inverted logics of the input signals, i.e., non-inverted signals Q₁, Q₂, ..., Q_n. In this state, when the control signal 12 PRES is turned on, the first signal reset switches 24 are turned on, and the input terminals a are reset again by the values of the inverted logic potentials Q₁ (inverted), Q₂ (inverted), ..., Q_n (inverted) of the input signals Q₁, Q₂, ..., Q_n via the inverters 30. In this manner, the inverted logics of the signals are transferred to the capacitors C₁, C₂, ..., C_n as input signals, thus obtaining a potential change at the floating node b. From equation (2), the potential change ΔV (inverted) at the floating node b at that time is:

$$\Delta V \text{ (inverted)} = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [V] \quad (4)$$

EP 0 725 357 A2

Since the control signal CN2 is ON, the signal potential variation ΔV_f (inverted) of the potential at the floating node b is transferred to the input terminal 11 of the differential input/output type sense amplifier 1 via the second signal transfer switch 3. When the potential at the terminal 11 has changed by ΔV_f (inverted) from the third reset potential 9, the control signal CN2 is turned off, and the value is held. In Fig. 2, this period corresponds to an inverted signal transfer period.

Upon completion of the inverted signal transfer period, the input terminals 10 and 11 of the differential input/output type sense amplifier 1 respectively hold changes from the reset potentials, given by equations (3) and (4). Potentials V_{IN10} and V_{IN11} including the reset potentials and held at the input terminals 10 and 11 are respectively given by equations (5) and (6):

$$V_{IN10} = V_{RESET8} + \Delta V_f \text{ (non-inverted)} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (5)$$

where V_{RESET8} is the reset potential determined by the second reset potential 8.

$$V_{IN11} = V_{RESET9} + \Delta V_f \text{ (inverted)} = V_{RESET9} + \Delta V_f \text{ (inverted)} = V_{RESET9} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (6)$$

where V_{RESET9} is the reset potential determined by the third reset potential 9.

Assuming that $V_{RESET8} = V_{RESET9}$, the differential input potential difference ΔV_{IN} of the differential input/output type sense amplifier 1 is given by:

$$\begin{aligned} \Delta V_{IN} &= V_{IN10} - V_{IN11} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} - (V_{RESET9} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x}) \\ &= \frac{\sum_{x=1}^n C_x \Delta V_x - \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \end{aligned} \quad (7)$$

$$[\sum_{x=0}^n \Delta V_x] \text{ and } [\sum_{x=1}^n -\Delta V_x] \quad (8)$$

Since the above formula (8) has equal absolute values of linear sums, and opposite +/- signs ($\Delta V_x = -\Delta V_x$ (inverted)), equation (7) can be modified as follows:

$$\Delta V_{IN} = \frac{\sum_{x=1}^n C_x \Delta V_x - \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (9)$$

As described above, when the power supply voltage is, e.g., a 5-V system, ΔV_x given by equation (9) is a maximum of 5 V. Since the signal change ΔV_+ (non-inverted) of the input terminal 10 by the non-inverted logic signal transfer

and the signal change ΔV_+ (inverted) of the input terminal 11 by the inverted logic signal transfer are received by the differential input operations of the differential input/output type sense amplifier 1, they become twice as large as the signal change on one side, as shown in equation (9). In this manner, the potential changes from the reset potentials as the capacitive arithmetic operation results can be increased before the differential input/output type sense amplifier 1, as shown in equation (9), and the sense amplifier 1 can perform high-precision, high-speed processing.

Next, while the differential input potential difference ΔV_{IN} given by equation (9) is held at the differential input terminals, the sense amplifier 1 is turned on by the control signal 19 S-ON. With this operation, upon reception of the large differential input potential difference ΔV_{IN} , the differential input/output type sense amplifier 1 is enabled, and parallelly discriminates the arithmetic operation results with high precision and at high speed. Then, the sense amplifier 1 supplies a non-inverted output OUT 27 and an inverted output OUT 26 to the next stage as differential outputs.

When the differential input/output type sense amplifier 1 is set to have a higher gain, the number of parallel signals to be processed can be increased (up to 50 to several hundreds), and the arithmetic operation speed of the entire processing system can be improved.

Fig. 3 shows an example of the arrangement of the differential input/output type sense amplifier 1. Since the same reference numerals in Fig. 3 denote parts having the same functions as in Fig. 1, a detailed description thereof will be omitted. In Fig. 3, the differential potential given by equation (8) is held between the + and - input terminals 10 and 11 of the differential input/output type sense amplifier 1 via the processes from the initial reset period to the inverted signal transfer period, as has been described in the embodiment shown in Fig. 1.

Referring to Fig. 3, the voltage at the + input terminal 10 is applied to the gate of an NMOS transistor 600, and the voltage at the - input terminal 11 is applied to the gate of an NMOS transistor 601. The NMOS transistors 600 and 601 constitute a differential pair having a common source terminal, and the source terminal is connected to the drain of an NMOS transistor 604, which performs a constant current operation. The source of the NMOS transistor 604 is connected to the GND potential, and its gate is commonly connected to the gate of an NMOS transistor 613. The commonly connected gate is connected to the control signal S-ON 19. When the control signal S-ON 19 is activated, the NMOS transistors 604 and 613 for a constant current source are turned on to serve as a constant current source, and the common source terminal of the NMOS transistors 600 and 601 is connected to the drain of the NMOS transistor 604.

The differential pair, i.e., the NMOS transistors 600 and 601 are turned on. In this state, active loads, i.e., a PMOS transistor 602 whose gate-drain path is connected to the drain of the NMOS transistor 600, and a PMOS transistor 603 whose drain is connected to the drain of the NMOS transistor 601 begin to operate. The source of the PMOS transistor 602 is connected to a power supply V_{dd} 84, its gate is short-circuited to its drain, and the gate-drain path is connected to the drain of the NMOS transistor 600 and the gate of the PMOS transistor 603, and is connected, as an output, to the gate of an NMOS transistor 609 as one transistor of a differential pair in the next stage.

The source of the PMOS transistor 603 is connected to the power supply V_{dd} 84, and its drain is connected to the drain of the NMOS transistor 601. The contact between these two drains is connected, as an output, to the gate of an NMOS transistor 610 as the other transistor of the differential pair in the next stage.

The NMOS transistors 609 and 610 constitute a differential pair having a commonly connected source terminal, which is connected to the drain of the NMOS transistor 613. The drains of the NMOS transistors 609 and 610 are connected to the drains of PMOS transistors 611 and 612 serving as active loads. The sources of the PMOS transistors 611 and 612 are connected to the power supply V_{dd} 84, and their gates are commonly connected to a voltage source V_B . The voltage source V_B supplies a voltage for turning on/off the PMOS transistors 611 and 612 in synchronism with the control signal S-ON. More specifically, when the control signal S-ON is logically active, the NMOS transistors 604 and 613 for the constant current source are turned on, and in synchronism with this turn-on operation, the voltage source V_B generates a voltage for switching the PMOS transistors 611 and 612 from the OFF state to the ON state. As a result, the PMOS transistors 611 and 612 are turned on, and serve as active loads of the constant current source.

During the sense amplifier ON period shown in Fig. 2, the control signal S-ON is activated to form an initial differential amplifier consisting of the input stage NMOS differential pair (600 and 601) and the active PMOS loads 602 and 603, and the next stage differential amplifier consisting of the input stage NMOS differential pair (609 and 610) and the constant current PMOS loads 611 and 612, thus turning on the block of the differential input/output type sense amplifier 1. In this state, the differential voltage ΔV_{IN} between the + and - input terminals 10 and 11 is amplified by the two differential CMOS amplifiers and appears at the drains of the next stage differential pair (609 and 610) as differential outputs with a large amplitude. Then, in a transfer gate 102 consisting of NMOS and PMOS transistors 620 and 621 connected to the NMOS transistor 610 and a transfer gate 103 consisting of NMOS and PMOS transistors 623 and 624 connected to the drain of the NMOS transistor 609, when a control signal ST changes to high level, i.e., is turned on, the NMOS transistors 620 and 623 are turned on, and the PMOS transistors 621 and 624 are turned on by setting their gates at L via inverters 622 and 625.

As a result, when voltages as the differential outputs obtained by the second differential CMOS amplifier are supplied to the transfer gates 102 and 103, an inverter 100 consisting of NMOS and PMOS transistors 626 and 627 in the next stage outputs a non-inverted output, and an inverter 101 consisting of NMOS and PMOS transistors 628 and 629

EP 0 725 357 A2

in the next stage outputs an inverted output. At this time, simultaneously with the turn-off operation of the control signal S-ON, the transfer gates 102 and 103 are turned off. In this manner, one arithmetic operation cycle is completed.

Even when the transfer gates 102 and 103 are ON, the gate voltages are held, and the outputs hold the previous output states until the next arithmetic operation cycle. In this state, the signals are transferred to the next stage, and the output states from the inverted signal transfer period to the next initial reset period in Fig. 2, V_B, and ST. Fig. 4 shows the operation from the inverted signal transfer period to the next initial reset period in Fig. 2, and shows the timing relationship among the control signal S-ON for operating the sense amplifier 1, the inverted voltage source V_B synchronized with the signal S-ON, and the control signal ST for controlling the transfer gates 102 and 103 in the output section of the sense amplifier 1. Even when the control signal ST changes from high level to low level, the outputs hold the output states.

[Second Embodiment]

The second embodiment according to the present invention will be described below with reference to Fig. 5. The same reference numerals in Fig. 5 denote parts having the same functions as in Fig. 1, and a detailed description thereof will be omitted. In this embodiment, the differential input/output type sense amplifier 1 comprises a latch type sense amplifier. The input terminal 10 in Fig. 1 directly becomes an output signal OUT 27, which is supplied to the next stage. Similarly, the input terminal 11 in Fig. 1 directly becomes an output signal OUT (inverted) 26, and supplies the inverted logic of the output signal OUT to the next stage.

The operation will be described below with reference to Fig. 2. The operations from the initial reset period to the inverted signal transfer period are the same as those in the first embodiment, and a difference voltage given by equation (10) below is generated at the input/output terminals 10 and 11 in Fig. 5:

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (10)$$

The differential input/output type sense amplifier comprises an RS latch constituted by inverters 31 and 32, and the latch type sense amplifier 1 is ON/OFF-controlled by the control signal S-ON.

After an elapse of the inverted signal transfer period shown in Fig. 2, assume that the potential relationship between the input terminals 10 and 11 of the latch type sense amplifier 1 satisfies V_{IN10} > V_{IN11}, and also satisfies:

$$|V_{IN10} - V_{RESET8}| = |V_{IN11} - V_{RESET9}| = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (11)$$

Then, equation (11) can be rewritten as equation (12) or (13) below:

$$V_{IN10} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (12)$$

$$V_{IN11} = V_{RESET9} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (13)$$

for V_{RESET8} = V_{RESET9}.

When the latch type sense amplifier 1 is turned on by setting the control signal S-ON at high level while holding the potentials given by equations (12) and (13) at the input terminals 10 and 11, the potential V_{IN10} higher than the reset potential of the input terminal 10 drifts to a higher potential due to the positive feedback effect of the latch type sense amplifier 1, and finally stabilizes at the power supply voltage V_{dd} .

On the other hand, the potential V_{IN11} lower than the reset potential of the input terminal 11 similarly drifts to a lower potential due to the positive feedback effect, and finally stabilizes at the GND potential. Similarly, when $V_{IN10} < V_{IN11}$, the potential of the input terminal 10 finally stabilizes at the GND potential, and that of the input terminal 11 finally stabilizes at the power supply voltage V_{dd} . In this manner, when the differential input terminals are set to have a large potential difference before the latch type sense amplifier 1 is turned on, a high-precision, high-speed arithmetic operation can be realized. When the sensitivity of the latch type sense amplifier 1 is improved, multiple input (e.g., 50 to several hundreds of inputs) arithmetic operations can be attained, and the number of parallel arithmetic operations can be improved, resulting in high arithmetic operation speed of the signal processing system. In this embodiment, the latch type sense amplifier itself has a data storage function, and can hold data until the next arithmetic operation. For this reason, when the number of parallel arithmetic operations increases, and signals to be transferred to the next stage are delayed relative to each other due to the delay time of the connection wiring lines, or noise is mixed in signals due to crosstalk, the outputs from the latch type sense amplifier can consequently realize high-precision signal transmission according to fundamental arithmetic operation clocks since they are latched, thus assuring high-precision parallel arithmetic operation processing.

The input terminals 10 and 11 of the latch type sense amplifier can transfer the arithmetic operation result OUT and the inverted logic output of the arithmetic operation result OUT to the next stage. For this reason, these outputs can be transferred to the next stage as differential outputs. When the next processing system has multiple input terminals shown in the input stage of Fig. 1 or 5, the output signal OUT 27 and the inverted signal OUT (inverted) 26 can be directly connected to the signal transfer switches 25 and the signal reset switches 24 connected to the input arithmetic operation capacitors without using the inverters 30 in the reset switch blocks 28 in the subsequent processing, since these signals have opposite logic levels, thus simplifying the circuit arrangement and reducing the consumption power.

[Third Embodiment]

The third embodiment according to the present invention will be described below with reference to Fig. 6. The same reference numerals in Fig. 6 denote parts having the same functions as in Fig. 5, and a detailed description thereof will be omitted. The circuit operation of this embodiment will be described with reference to Fig. 2, but the detailed timings during the sense amplifier ON period will be independently described with reference to Fig. 7.

In Fig. 6, in each reset switch input block 28, the first signal reset switch 24 in Fig. 5 is constituted by an NMOS transistor 74, a PMOS transistor 75, and an inverter 72, and serves as a transfer gate for the signal reset switch. The switch 24 is turned on when the control signal PRES 12 is at H, and resets the input terminal a of the capacitor C₁ to the inverted logic of the input signal Q₁.

In the reset switch input block 28, the signal transfer switch 25 in Fig. 5 serves as a transfer gate for signal transfer constituted by an NMOS transistor 76, a PMOS transistor 77, and an inverter 30 in Fig. 6. The switch 25 is turned on when the control signal PT 13 is at H, and writes the non-inverted logic of the input signal Q₁ at the input terminal a of the capacitor C₁. On the other hand, the first reset switch 4, the second reset switch 5, the third reset switch 6, the non-inverted logic signal transfer switch 2, and the inverted logic signal transfer switch 3 in Fig. 5 respectively correspond to NMOS transistors 70, 56, 57, 58, and 96. A reset potential 83 is a target potential to converge when the respective nodes are turned on by the corresponding switches. In this case, the first, second, and third reset switches are given an identical reset potential 83.

In the timing chart shown in Fig. 2 that explains the operation of this embodiment, the corresponding switches are turned on/off from the initial reset period to the inverted signal transfer period, and nodes 10 and 11 of the input terminals have a potential difference given by the following equation (14):

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x AV_x}{\sum_{x=0}^n C_x} \quad (14)$$

66

When the potential relationship between the input terminals 10 and 11 as the nodes satisfies $V_{IN10} > V_{IN11}$, if the reset potential 83 is represented by $V_{RESET83}$, potentials V_{IN10} and V_{IN11} are respectively given by equations (15) and (16) below:

5

$$\text{Input terminal 10: } V_{IN10} = V_{RESET83} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (15)$$

10

$$\text{Input terminal 11: } V_{IN11} = V_{RESET83} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (16)$$

15 The input terminals 10 and 11 as the nodes are held at the potentials given by equations (15) and (16).

In this state, as shown in Fig. 7, during the sense amplifier ON period, a signal EV is turned on to set an NMOS transistor 55 in the ON state. At this time, NMOS transistors 50 and 51 having a common source terminal serve as a differential NMOS latch. In this case, since the NMOS transistor 51 is turned on, and the NMOS transistor 50 is turned off, these transistors drain the charges accumulated on the input terminal 11 and the potential, as the lower potential, of the input terminal 11 (the node between the drain of the NMOS transistor 51 and the gate of the NMOS transistor 50) drifts to the GND potential due to the positive feedback effect while the potential, as the higher potential, of the input terminal 10 (the node between the drain of the NMOS transistor 50 and the gate of the NMOS transistor 51) is held. In this manner, when a potential difference larger than an initial potential difference is generated between the input terminals 10 and 11, a control signal LT 79 changes from H to L to turn on a PMOS transistor 54. The source of the PMOS transistor 54 is connected to a power supply V_{dd} 84, and when the PMOS transistor 54 is turned on, PMOS transistors 52 and 53 having a common source terminal serve as a differential PMOS latch. As a result, since the NMOS and PMOS latches are completely turned on, the potential, as the lower potential, of the input terminal 11 (the node between the drain of the NMOS transistor 51 and the gate of the NMOS transistor 50) quickly approaches the GND potential due to the positive feedback effect, and the potential of the input terminal 10 (the node between the drain of the NMOS transistor 50 and the gate of the NMOS transistor 51) approaches the power supply voltage 84 due to the positive feedback effect since the potential of the input terminal 11 quickly drops to the GND potential. In this manner, the input terminal 10 is latched at logic "H", and the input terminal 11 is latched at logic "L".

The output signal OUT 27 from the node 10 and the output signal OUT (inverted) 26 from the node 11 are respectively transferred to the next stage as differential outputs.

35 When the potential relationship between the input terminals 10 and 11 satisfies $V_{IN10} < V_{IN11}$, the input terminal 10 is latched at logic "L" and the input terminal 11 is latched at logic "H" by a similar positive feedback operation.

As described above, when differential signals having a large potential difference therebetween are input to the signal input terminals of the latch type sense amplifier, high-precision, high-speed processing is assured.

40 By increasing the positive feedback gain of the latch type sense amplifier, multiple input arithmetic operations (e.g., 50 to several hundreds of inputs) can be realized, thereby improving the number of parallel arithmetic operations and increasing the arithmetic operation speed of the processing system.

The latch type sense amplifier itself has a data storage function, and can hold data until the next arithmetic operation. For this reason, when the number of parallel arithmetic operations increases, and signals to be transferred to the next stage are delayed relative to each other due to the delay time of the connection wiring lines, or noise is mixed in 45 signals due to crosstalk, the outputs from the latch type sense amplifier can consequently realize high-precision signal transmission according to fundamental arithmetic operation clocks since they are latched, thus assuring high-precision parallel arithmetic operation processing.

50 The input terminals 10 and 11 of the latch type sense amplifier can transfer the arithmetic operation result OUT 27 and the inverted logic output of the arithmetic operation result OUT 26 to the next stage. For this reason, these outputs can be transferred to the next stage as differential outputs. For this reason, in the subsequent processing, the output signal OUT 27 and the inverted signal OUT (inverted) 26 can be directly input to the input terminal (the node between the sources of the NMOS transistor 74 and the PMOS transistor 75) of the signal transfer gate for the signal reset switch and the input terminal (the node between the sources of the NMOS transistor 76 and the PMOS transistor 77) of the transfer gate for the signal transfer without using the inverters 30 in the reset switch blocks 28 of the next stage, thus attaining a simple circuit arrangement, a consumption power reduction, and an improvement of the processing speed.

[Fourth Embodiment]

The fourth embodiment in which the above-mentioned semiconductor device is applied to a correlation arithmetic operation circuit will be described below with reference to Fig. 8. In Fig. 8, the correlation arithmetic operation circuit comprises majority arithmetic operation circuit blocks 221-A, 221-B, and 221-C each having seven input terminals, inverters 222, and comparators 223 for comparing signals at input terminals 232 and corresponding correlation coefficients 233. Input terminals 224 and 225 of the majority arithmetic operation circuit blocks 221-B and 221-C receive the same signals as seven input signals input to the majority arithmetic operation circuit block 221-A. Input terminals 226, 227, and 228 receive output signals from the previous majority arithmetic operation circuit blocks. Capacitors 229, 230, and 231 are connected to the input terminals 226, 227, and 228 and respectively have capacitance values 4C, 2C, and 4C (C is the capacitance connected to a normal input terminal).

Referring to Fig. 8, input signals are input to the comparators 223 together with corresponding correlation coefficients 233. When the input signal coincides with the correlation coefficient 233, each comparator 223 outputs a HIGH-LEVEL signal; otherwise, it outputs a LOW-LEVEL signal. The outputs from the comparators 223 are input to the majority arithmetic operation circuit blocks 221-A to 221-C. For example, when the outputs from the comparators 223 are input to the 7-input majority arithmetic operation circuit block 221-A, if the number of HIGH-LEVEL signals is a majority, i.e., if four or more out of seven inputs are HIGH-LEVEL signals, the majority arithmetic operation circuit block 221-A outputs a HIGH-LEVEL signal. Column S3 in Table 1 below shows this output state.

Similarly, the majority arithmetic operation circuit block 221-B having a total of 11 inputs, i.e., the seven input terminals 224 and the input terminal 226 having a capacitance 4C equivalent to four inputs, outputs a HIGH-LEVEL signal when six or more inputs are HIGH-LEVEL signals. Column S2 in Table 1 below shows this output state. On the other hand, the majority arithmetic operation circuit block 221-C having a total of 13 inputs, i.e., the seven input terminals 225, the input terminal 228 having a capacitance 4C equivalent to four inputs, and the input terminal 227 having a capacitance 2C equivalent to two inputs, outputs a HIGH-LEVEL signal when seven or more inputs are HIGH-LEVEL signals. Column S1 in Table 1 below shows this output state.

More specifically, column S3 shows the output values of the 7-input majority arithmetic operation circuit block in units of the numbers of HIGH-LEVEL signals in the input signals. Subsequently, as shown in Fig. 8, the output from the 7-input majority arithmetic operation circuit block 221-A is inverted by the inverter 222, and the inverted output is applied to the weighted input terminal 226 of the majority arithmetic operation circuit block 221-B. The majority arithmetic operation circuit block 221-B serves as an 11-input majority arithmetic operation circuit in which 11 "C's are commonly connected, four out of these 11 "C's receive a signal from the weighted input terminal, and the remaining seven terminals receive the same signals as those input to the majority arithmetic operation circuit block 221-A. For example, when four or more out of seven inputs are HIGH-LEVEL signals, a LOW-LEVEL signal is applied to the weighted input terminal, as described above. Furthermore, when six or more of seven input signals input to the input terminals other than the weighted input terminal are HIGH-LEVEL signals, the 11-input majority arithmetic operation circuit determines a majority as a whole, and outputs a HIGH-LEVEL signal. When four or more and five or less out of seven inputs are HIGH-LEVEL signals, a LOW-LEVEL signal is output since a majority is not determined. On the other hand, when three or less out of seven inputs are HIGH-LEVEL signals, a HIGH-LEVEL signal is applied to the weighted input terminal 226. When two or more and three or less out of seven inputs are HIGH-LEVEL signals, since $4 + 2$ or $4 + 3$ yields 6 or more, a majority is determined, and a HIGH-LEVEL signal is output. On the other hand, when one or less input is a HIGH-LEVEL signal, since $4 + 0$ or $4 + 1$ yields 6 or less, a LOW-LEVEL signal is output. Column S2 in Table 1 shows the output values of the majority arithmetic operation circuit block 221-B in units of the numbers of HIGH-LEVEL signals.

Also, when the inverted signals of the output signals from the majority arithmetic operation circuit blocks 221-A and 221-B are applied to the two weighted input terminals 228 and 227 respectively having $\times 4$ and $\times 2$ capacitance values 4C and 2C, the majority arithmetic operation circuit block 221-C operates to obtain the outputs shown in column S1 in Table 1. With this circuit arrangement, as shown in Table 1, the number of signals that coincide with the correlation coefficients of a plurality of input signals can be converted into a 3-digit binary value, and the binary value can be output.

[Fifth Embodiment]

The fifth embodiment will be described below with reference to Fig. 9 and Table 2. This embodiment exemplifies a 3-bit precision analog-to-digital converter (to be referred to as an A/D converter hereinafter) using the present invention. The A/D converter shown in Fig. 9 comprises 1-, 2-, and 3-input arithmetic operation circuit blocks 121-A, 121-B, and 121-C, and inverters 122. Input terminals 123, 124, and 125 receive output signals from the previous arithmetic operation circuit blocks. Capacitors 126, 127, and 128 are connected to the input terminals 123, 124, and 125 and respectively have capacitance values C/2, C/2, and C/4 (C is the capacitance connected to a normal input terminal). An analog input terminal 129 and set input terminals 130 are respectively connected with capacitors 131 and 132 having capacitance values C/4 and C/8. The respective blocks have digital output terminals S1, S2, and S3.

EP 0 725 357 A2

In this embodiment, a case will be exemplified wherein a 5-V system power supply is used. Referring to Fig. 9, the sense amplifier input of the arithmetic operation circuit block 121-A is reset to 0 V, and those of the arithmetic operation circuit blocks 121-B and 121-C are reset to about 2.5 V. The signal input terminals 123, 123, and 125, and the input terminals of the input arithmetic operation capacitors 132 of the set input terminals 130 are reset to 5 V. At this time, the signal input terminal 129 is set at 0 V. Subsequently, assume that the set input terminals 130 are set at 0 V and the input signal voltage to the input terminal 129 is changed from 0 V to an analog signal voltage. In this case, in the arithmetic operation circuit block 121-A, when the analog input voltage becomes about 2.5 V or higher, the sense amplifier input voltage in the block 121-A exceeds a logic inversion voltage (assumed to be 2.5 V in this case), and a HIGH-LEVEL signal is output. Column S3 in Table 3 shows the output result.

When the analog input signal is 2.5 V or higher, the input terminal 123 changes from 5 V as the reset potential to 0 V. At this time, the potential change at the sense amplifier input terminal in the arithmetic operation circuit block 121-B is given by:

$$\{C \times VA - (C/2) \times 5 - (C/4) \times 5\} / (C + C/2 + C/4) \quad [V]$$

where VA is the analog input signal voltage.

As can be seen from this equation, the arithmetic operation circuit block 121-B outputs a HIGH-LEVEL signal when the analog signal voltage VA is equal to or higher than 3.7 V, and outputs a LOW-LEVEL signal when the voltage VA is equal to or higher than 2.5 V and lower than 3.75 V. Column S2 in Table 2 shows the output result.

Similarly, the output from the arithmetic operation circuit block 121-C is as shown in column S1 in Table 2.

According to this embodiment, as shown in Table 2, an A/D converter which converts an analog signal voltage into a 3-bit digital signal and outputs the digital signal can be realized by a very small arrangement which assures a high arithmetic operation speed and a low consumption voltage.

This embodiment has exemplified a 3-bit A/D converter. However, the present invention is not limited to this, as a matter of course, and the number of bits can be easily increased.

In this embodiment, a flash type A/D converter using capacitors has been exemplified. However, the present invention is not limited to this. For example, the present invention may be applied to an encoder circuit section of an A/D converter which performs A/D conversion in such a manner that comparators compare signals input to a resistor array and a reference signal, and an encoder encodes the comparison results, thus obtaining the same effects as described above.

As described above, in the circuit block in which one terminal of capacitor means corresponding to multiple input terminals is commonly connected and the common terminal is input to the sense amplifier, a total of the capacitances of the capacitor means is roughly an odd multiple of C which is a minimum one of capacitor means connected to the multiple input terminals.

When a correlation circuit has no control input terminal, all the capacitances connected to the input terminals have a minimum value. On the other hand, when the correlation circuit has control input terminals, as has been described above in, e.g., the fourth embodiment shown in Fig. 8, the capacitances connected to the control input terminals are even multiples of C like 2C and 4C, and the total of the capacitances of these terminals and an odd number of input signal terminals is substantially an odd multiple value of C. With this arrangement, a clear comparison with a desired reference value can be attained, thus improving arithmetic operation precision.

In the above description, the correlation circuit has been exemplified. In the case of a binary D/A converter, if the signal input capacitance of the least significant bit (LSB) is represented by C, the capacitance of the next bit is 2C, that of the second next bit is 4C, and the like, i.e., the capacitance of each bit assumes a value twice as large as the immediately preceding bit, and the total of capacitances of multiple input terminals becomes substantially an odd multiple value of C, thus realizing a high-precision D/A converter.

As for the A/D converter, as described above in the fifth embodiment shown in Fig. 9, the number of discrimination points for discriminating if the analog signal level is higher than or lower than 1/2 of the full range is set to be an odd number, i.e., 1 (1C) in the block 121-A. In the block 121-B, the number of discrimination points corresponding to discrimination criteria 1/4, 2/4, and 3/4 is three, i.e., an odd number, and the total of the capacitances has an odd multiple value, $1 + 2 + 4 = 7$, to have C/4 as a minimum value. The block 121-C is set to have C/8 (minimum value), C/4, C/2, and C which are doubled sequentially, i.e., an odd multiple value, $1 + 2 + 4 + 8 = 15$.

With this arrangement, since high-precision arithmetic operations can be attained without requiring any unnecessarily large capacitances, low consumption power, and high-speed arithmetic operations can be realized.

In the above description, the correlation arithmetic operation circuit and the A/D converter have been exemplified. However, the present invention is not limited to these units. For example, the present invention may be applied to various other logic circuits such as a digital-to-analog converter, an adder, a subtracter, and the like, thus obtaining the same effects as described above.

Especially, when the present invention is applied to a D/A converter, if the capacitance of the input terminal for receiving LSB data is represented by C, the capacitances need only be set to be twice as large as the immediately pre-

ceding value toward the most significant bit like 2C, 4C, 8C,..., thus realizing a binary D/A converter. In this case, the outputs from the commonly connected terminals of the capacitors can be received by a source follower amplifier.

[Sixth Embodiment]

The sixth embodiment will be described below with reference to Fig. 10. In the sixth embodiment, the technique of the present invention is applied to a motion detection circuit for, e.g., dynamic images. Referring to Fig. 10, the motion detection circuit comprises memories 161 and 162 for respectively storing standard data and reference data, a correlation calculation unit 163, a control unit 164 for controlling the entire chip, an adding unit 165 for adding the correlation results of the correlation calculation unit 163, a register 166 for storing a minimum value of the sums output from the adding unit 165, a comparison storage unit 167 serving as a comparator and a unit for storing the address of the minimum value, and a unit 168 serving as an output buffer and an output result storage unit. A standard data string is input to an input bus 169, and a reference data string to be compared with the standard data string is input from an input bus 170. The memories 161 and 162 comprise SRAMs, and are constituted by normal CMOS circuits.

Data supplied from the reference and standard data memories 162 and 161 to the correlation calculation unit 163 can be processed by high-speed parallel processing since the unit 163 comprises a correlation arithmetic operation circuit of the present invention. For this reason, the unit 163 can not only attain very high-speed processing, but also be constituted by a smaller number of elements, thus reducing the chip size and cost. The correlation arithmetic operation result is scored (evaluated) by the adding unit 165, and is compared with the contents of the register 166 which stores the maximum correlation arithmetic operation result (minimum sum) before the current correlation arithmetic operation by the comparison/storage unit 167. If the current arithmetic operation result is smaller than the previous minimum value, the current result is newly stored in the register 166; if the previous result is smaller than the current result, the previous result is maintained. With this operation, the maximum correlation arithmetic operation result is always stored in the register 166, and upon completion of the operation of all the data strings, the final correlation result is output as, e.g., a 16-bit signal, from an output bus 171.

The control unit 164, the adding unit 165, the register 166, the comparison/storage unit 167, and the unit 168 are constituted by conventional CMOS circuits in this circuit. In particular, when the adding unit 165 or the like adopts the circuit arrangement including reset circuits of the present invention, a high-precision sense amplifier operation can be realized, and high-speed processing can be realized. As has been described above, not only high-speed processing and low cost are realized but also the consumption current can be reduced since arithmetic operations are executed on the basis of capacitances via the latch circuits, thus realizing low consumption power. For this reason, the present invention is suitably applied to a portable equipment such as an 8-mm VTR camera or the like.

[Seventh Embodiment]

The seventh embodiment of the present invention will be described below with reference to Figs. 11A, 11B, and 11C. The seventh embodiment presents a circuit arrangement which performs high-speed image processing before image signal data is read out upon integration of the technique of the present invention and an optical sensor (solid-state image pickup element).

Fig. 11A is a block diagram showing the overall arrangement of a circuit of this embodiment, Fig. 11B is a circuit diagram showing the arrangement of a pixel portion of the circuit of this embodiment, and Fig. 11C is a schematic view for explaining the arithmetic operation contents of this embodiment.

Referring to Fig. 11A, the circuit includes light-receiving portions 141 each including a photoelectric conversion element, line memories 143, 145, 147, and 149, correlation calculation units 144 and 148, and an arithmetic operation output unit 150. The light-receiving portion 141 shown in Fig. 11B includes coupling capacitor means 151 and 152 for connecting optical signal output terminals and output bus lines 142 and 146, a bipolar transistor 153, capacitor means 154 connected to the base region of the bipolar transistor 153, and a switch MOS transistor 155. Image data input to an image data sensing unit 160 is photoelectrically converted by the base region of the bipolar transistor 153.

An output corresponding to the photoelectrically converted photocarriers is read out to the emitter of the bipolar transistor 153, and raises the potentials of the output bus lines 142 and 146 in accordance with an input stored charge signal via the coupling capacitor means 151 and 152. With the above-mentioned operation, the sum of the outputs from the pixels in the column direction is read out to the line memory 147, and the sum of the outputs from the pixels in the row direction is read out to the line memory 143. In this case, if a region where the base potential of the bipolar transistor is raised via the capacitor means 154 of each pixel portion is selected using, e.g., a decoder (not shown in Figs. 11A to 11C), the sums in the X- and Y-directions of an arbitrary region on the sensing unit 160 can be output.

For example, as shown in Fig. 11C, when an image 156 is input at time t_1 , and an image 157 is input at time t_2 , output results 158 and 159 obtained by respectively adding these images in the Y-direction become image signals representing the moving state of a vehicle shown in Fig. 11C, and these data are respectively stored in the line memories

EP 0 725 357 A2

147 and 149 shown in Fig. 11A. Similarly, data obtained by adding image data in the X-direction are stored in the line memories 143 and 145.

As can be seen from the data string outputs 158 and 159 of image signals shown in Fig. 11C, the data of the two images shift in correspondence with the motion of the image. Thus, when the correlation calculation unit 148 calculates the shift amount, and the correlation calculation unit 144 similarly calculates data in the horizontal direction, the motion of an object on the two-dimensional plane can be detected by a very simple method.

The correlation calculation units 144 and 148 shown in Fig. 11A can comprise the correlation arithmetic operation circuit of the present invention. Each of these units has a smaller number of elements than the conventional circuit, and, in particular, can be at the sensor pixel pitch. This arrangement performs arithmetic operations on the basis of analog signals output from the sensor. However, when the A/D converter of the present invention is arranged between each line memory and the output bus line, a digital correlation arithmetic operation can be realized, needless to say.

The sensor element of the present invention comprises a bipolar transistor. However, the present invention is also effective for a MOS transistor or only a photodiode without arranging any amplification transistor.

Furthermore, this embodiment performs a correlation arithmetic operation between data strings at different times. Alternatively, when the X- and Y-projection results of a plurality of pattern data to be recognized are stored in one memory, pattern recognition can also be realized.

As described above, when the pixel input unit and the correlation arithmetic operation circuit or the like of the present invention are combined, the following effects are expected.

- 20 (1) Since data which are parallelly and simultaneously read out from the sensor are subjected to parallel processing unlike in the conventional processing for serially reading out data from the sensor, high-speed motion detection and pattern recognition processing can be realized.
- (2) Since a 1-chip semiconductor device including a sensor can be constituted, and image processing can be realized without increasing the size of peripheral circuits, the following high-grade function products can be realized with low cost: (a) control equipment for turning the TV screen toward the user direction, (b) control equipment for turning the wind direction of an air conditioner toward the user direction, (c) tracing control equipment for an 8-mm VTR camera, (d) label recognition equipment in a factory, (e) reception robot that can automatically recognize a person, (f) inter-vehicle distance controller for a vehicle, and the like.

30 The integration of the image input unit and the circuit of the present invention has been described. The present invention is effective not only for image data but also for, e.g., recognition processing of audio data.

As described above, according to the present invention, since a circuit for performing parallel arithmetic operations for multiple variable signals can be constituted by a smaller number of transistors than a conventional logic circuit, and has high sensitivity to a weak signal, a high arithmetic operation speed and low consumption power can be attained.

35 Since signals having the same absolute value but opposite polarities can be written at the differential input terminals of the differential input/output type sense amplifiers, the differential gain of the sensing system can be increased, and ultra-high sensitivity detection can be realized. For this reason, the number of parallel processing operations can be increased, and the number of arithmetic operations per cycle can be increased. Since the differential input/output type sense amplifier can be constituted by MOS transistors, a small circuit scale, a small number of processing stages, and high-speed processing can be attained since a multiple-input stage can also be constituted by MOS transistors.

40 Furthermore, when the differential input/output type sense amplifier comprises a latch type sense amplifier, the sense amplifier itself has a storage function, and can output non-inverted and inverted signals. For this reason, high-precision data free from mixing of noise can be transferred, and when semiconductor devices of the present invention are connected in series with each other, the arrangement of the multiple-input stage can be further simplified.

45 When the semiconductor device of the present invention is applied to a majority circuit, an A/D or D/A converter, and a signal processing system, such a unit or system can be constituted by a chip having a small physical structure, and a small circuit scale. Thus, the number of wiring lines can be reduced, mixing of external noise can be eliminated, and high-speed arithmetic operation processing can be realized.

50 The present invention is not limited to the above-mentioned embodiments, and various changes and modifications may be made within the scope of the invention.

Table 1

Input	S3	S2	S1
0/7	0	0	0
1/7	0	0	1
2/7	0	1	0
3/7	0	1	1
4/7	1	0	0
5/7	1	0	1
6/7	1	1	0
7/7	1	1	1

Table 2

Analog Input Voltage	S3	S2	S1
0.0 ≤ VA < 0.625	0	0	0
0.625 ≤ VA < 1.25	0	0	1
1.25 ≤ VA < 1.875	0	1	0
1.875 ≤ VA < 2.5	0	1	1
2.5 ≤ VA < 3.125	1	0	0
3.125 ≤ VA < 3.75	1	0	1
3.75 ≤ VA < 4.375	1	1	0
4.375 ≤ VA < 5.0	1	1	1

One terminals of capacitors (C1 - CN) are connected to multiple input terminals (Q1 - QN) via first switch means (24, 25) which can select a positive or negative logic of an input signal, and the other terminals of the capacitors are commonly connected (point b) to first differential input (10) of a differential input/output type sense amplifier (1) via second switch (2). The commonly connected portion of the capacitors are connected to second differential input (11) of the differential input/output type sense amplifier, the second differential input having a polarity opposite to that of the first differential input, thereby suppressing an increase in circuit scale due to an increase in the number of bits, and assuring high-speed arithmetic operations.

Claims

1. A semiconductor device wherein one terminals of capacitor means are connected to multiple input terminals via first switch means which can select a positive or negative logic of an input signal, the other terminals of said capacitor means are commonly connected to first differential input means of a differential input/output type sense amplifier via second switch means, and the commonly connected portion of said capacitor means is connected to second differential input means of said differential input/output type sense amplifier via third switch means, said second differential input means having a polarity opposite to a polarity of said first differential input means.
2. A device according to claim 1, wherein first reset switch means is connected to the commonly connected terminal of said capacitor means.

EP 0 725 357 A2

3. A device according to claim 1, wherein second and third reset means are respectively connected to said first and second differential input means of said differential input/output type sense amplifier.
4. A device according to claim 1, wherein an ON period of said first, second, and third reset switch means overlaps at least a first capacitance input terminal reset period in which one of the positive logic and the negative logic of the input signal is applied to one terminal of each of said capacitor means via said first switch means.
5. A device according to claim 1, wherein an ON period of said second switch means for connecting the commonly connected terminal of said capacitor means and said first differential input means of said differential input/output type sense amplifier starts at least after a first input signal transfer period in which a signal of a logic opposite to the logic applied during the first capacitance input terminal reset period is written in one terminal of each of said capacitor means via said first switch means.
10. A device according to claim 1, after the ON period of said second switch means, the commonly connected terminal of said capacitor means is reset again by said first reset means.
15. A device according to claim 1, wherein an ON period of said third switch means for connecting the commonly connected terminal of said capacitor means and said second differential input means of said differential input/output type sense amplifier starts at least after a second input signal transfer period in which a signal of the same logic as the logic applied during the first capacitance input terminal reset period is written in one terminal of each of said capacitor means via said first switch means.
20. A device according to claim 1, wherein a difference between an amplifier input voltage 1 held by said first differential input means during the first input signal transfer period for writing signals at the one terminals of said capacitor means and an amplifier input voltage 2 held by said second differential input means during the second input signal transfer period is amplified to a logic amplitude level by turning on said differential input/output type sense amplifier, and differential outputs are transferred to a next stage.
25. A device according to claim 7, wherein said differential input/output type sense amplifier is a differential output type amplifier which has a differential pair constituted by transistors having the same polarity in an input stage thereof, and can amplify an input signal to a logic amplitude level with a polarity according to an input potential difference of said differential pair.
30. A device according to claim 9, wherein said differential output type amplifier can be turned on/off by an external control signal, and has a function of holding a previous arithmetic operation result before said amplifier is turned off.
35. A device according to claim 1, wherein said differential input/output type sense amplifier is a latch type sense amplifier utilizing a positive feedback effect.
40. A device according to claim 11, wherein said latch type sense amplifier has a function of enabling/disabling an amplification effect due to the positive feedback effect by an external control signal.
45. A semiconductor circuit having a plurality of semiconductor devices of claim 1, an output from the first semiconductor device of the plurality of semiconductor device and/or an inverted output of the output from the first semiconductor device being input to the second semiconductor device.
50. A semiconductor circuit wherein when a minimum capacitance of said capacitor means corresponding to multiple input terminals in a semiconductor device of claim 1 is represented by C, a total of capacitances of said commonly connected capacitor means is substantially an odd multiple of the minimum capacitance C.
55. A correlation calculation apparatus for performing a correlation arithmetic operation using a semiconductor circuit of claim 13.
16. A signal converter which comprises a semiconductor device of claim 1, inputs an analog signal to the semiconductor device, and outputs a digital signal corresponding to the analog signal.
17. A signal converter which comprises a semiconductor device of claim 1, inputs a digital signal to the semiconductor device, and outputs an analog signal corresponding to the digital signal.

18. A signal processing system comprising a correlation calculation apparatus of claim 15.
19. A system according to claim 18, further comprising an image input device for inputting an image signal.
- 5 20. A system according to claim 18, further comprising a storage device for storing information.
21. A signal processing system comprising a signal converter of claim 16.
22. A signal processing system comprising a signal converter of claim 17.

10

15

20

25

30

35

40

45

50

55

FIG. 1

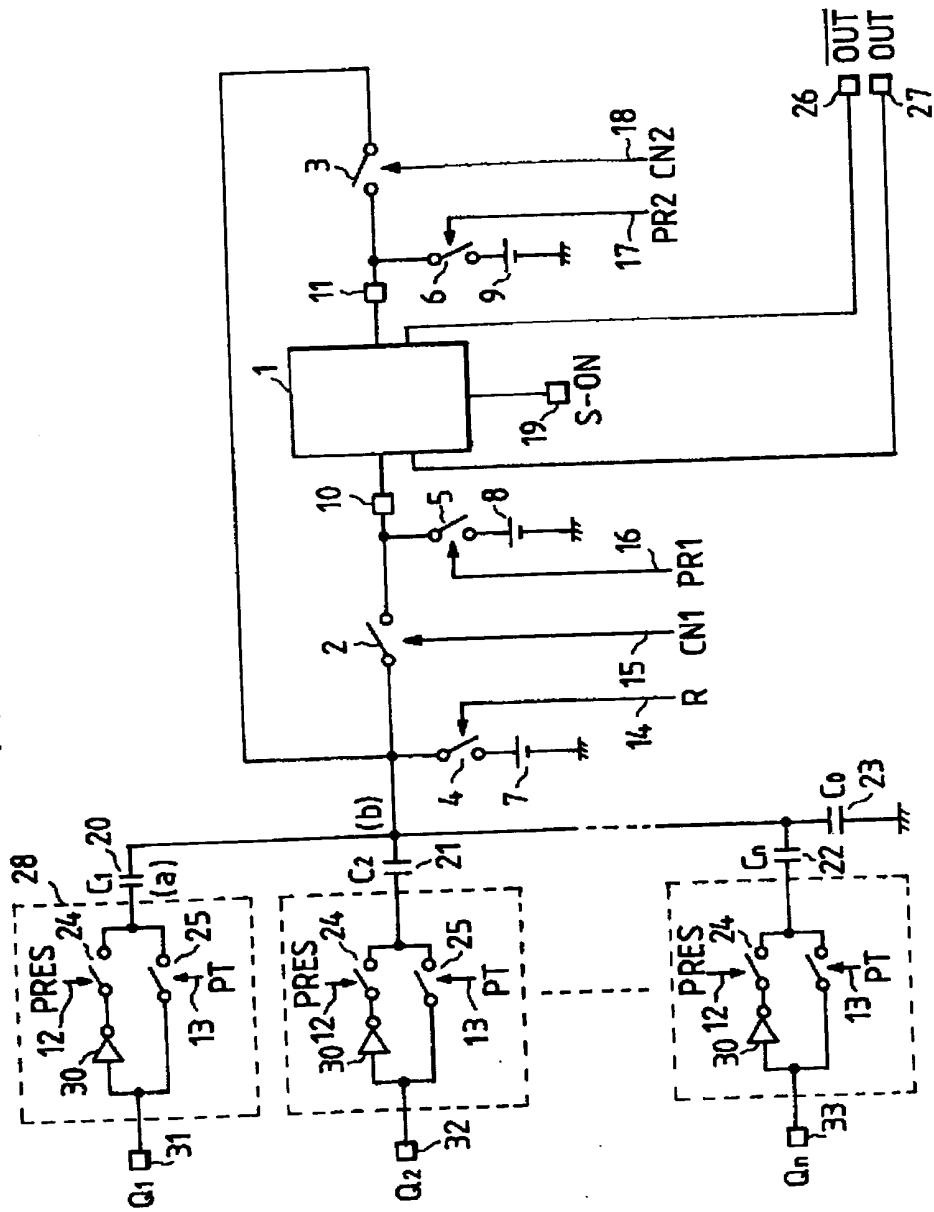


FIG. 2

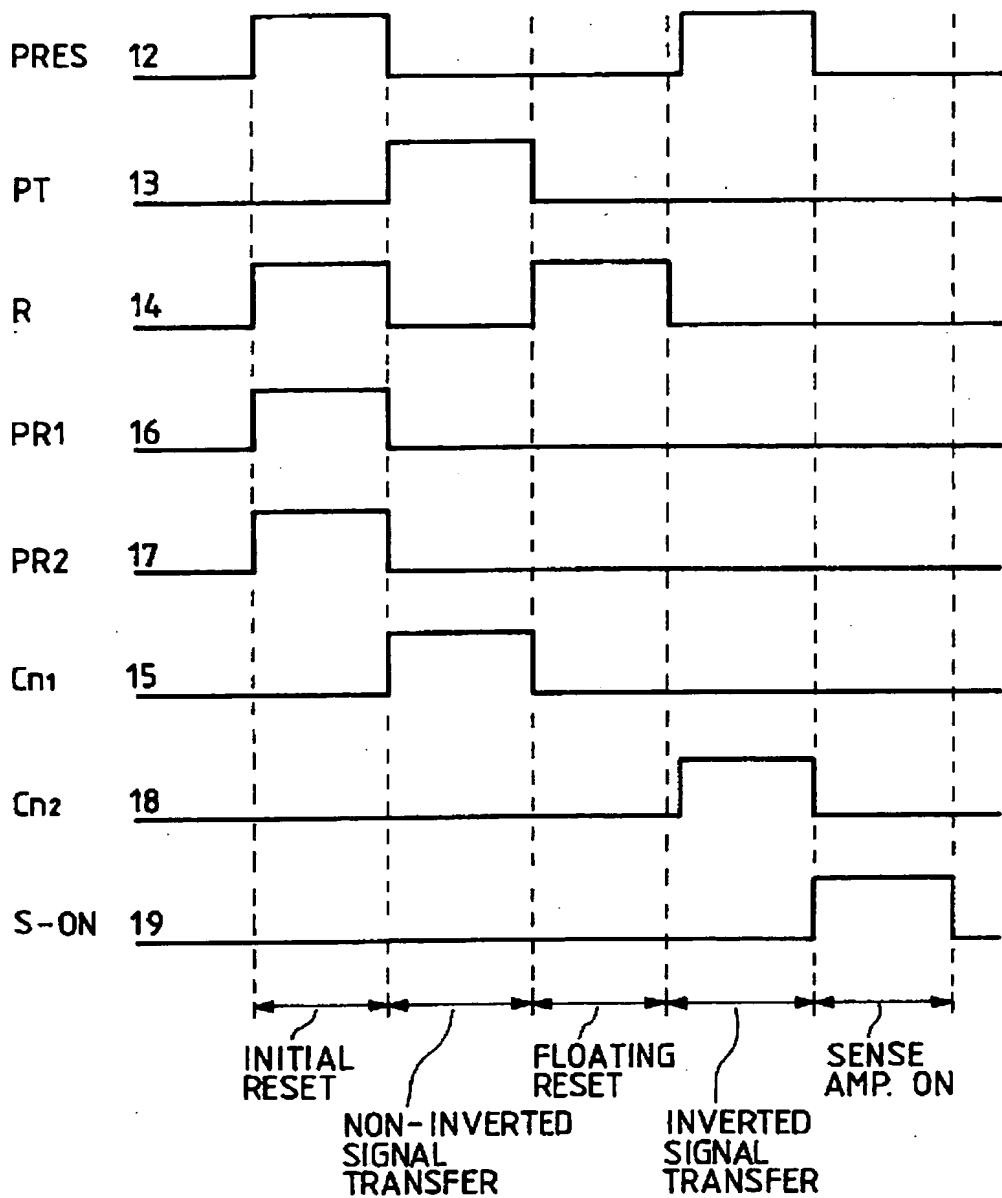
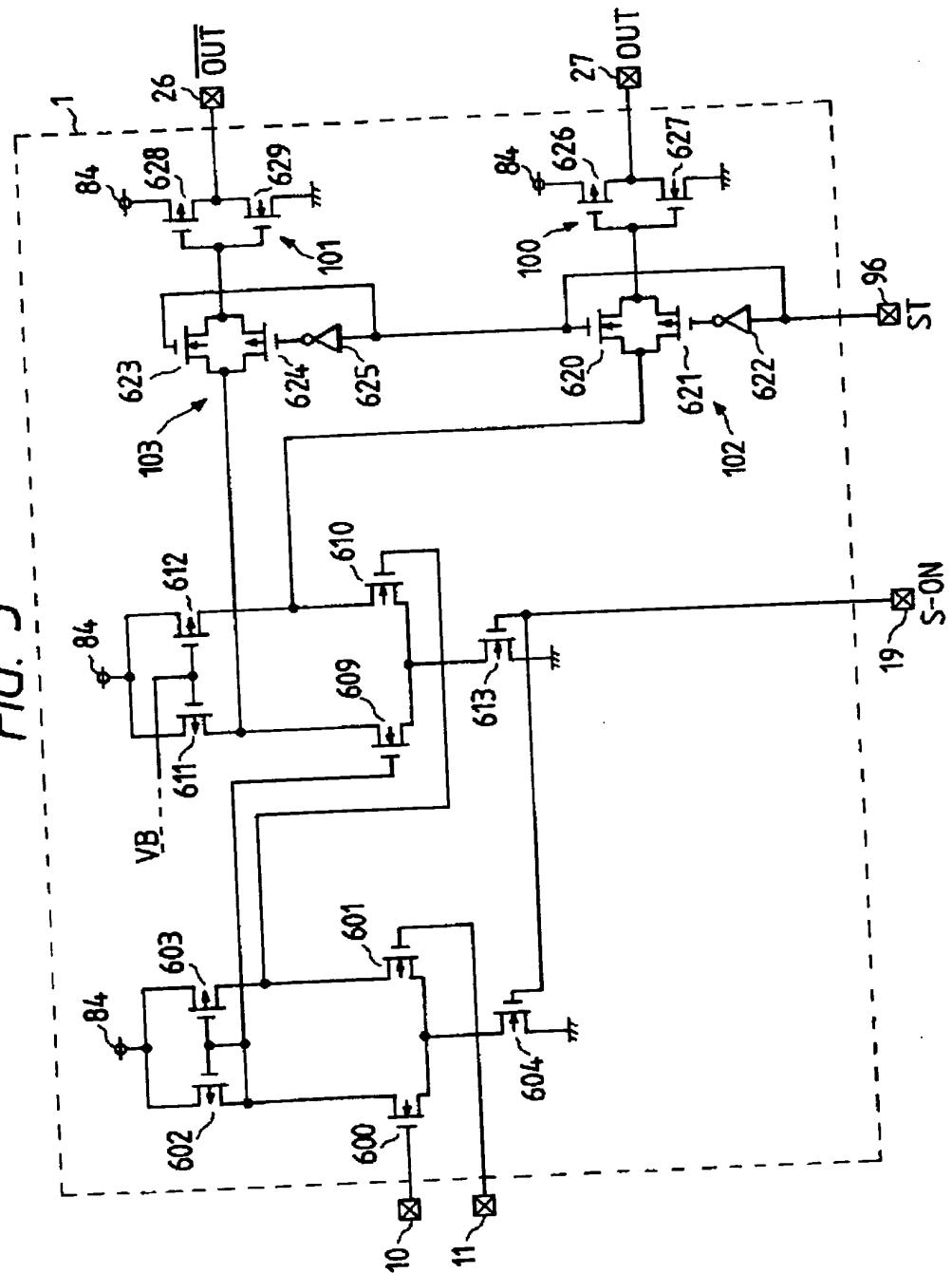


FIG. 3



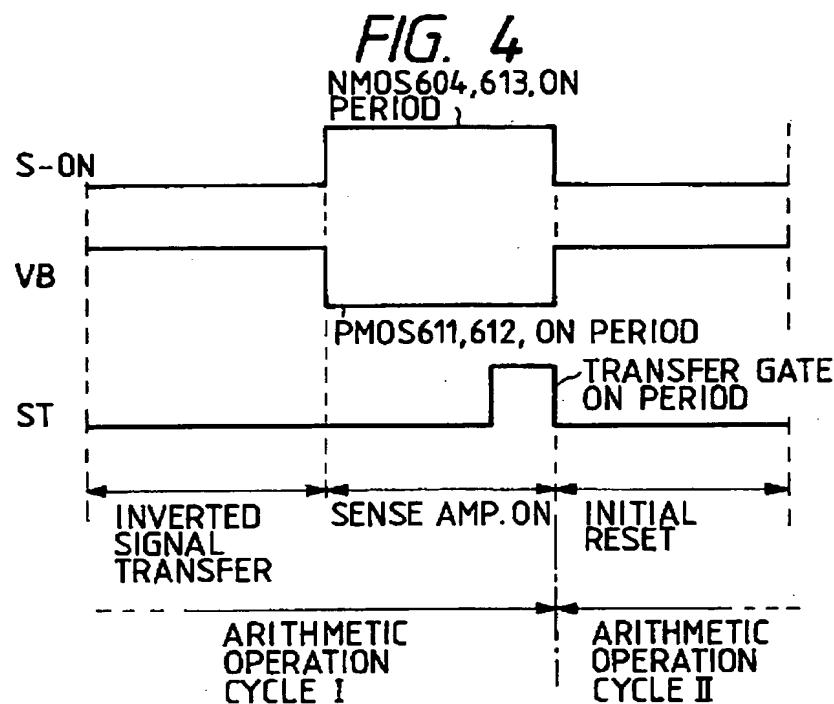
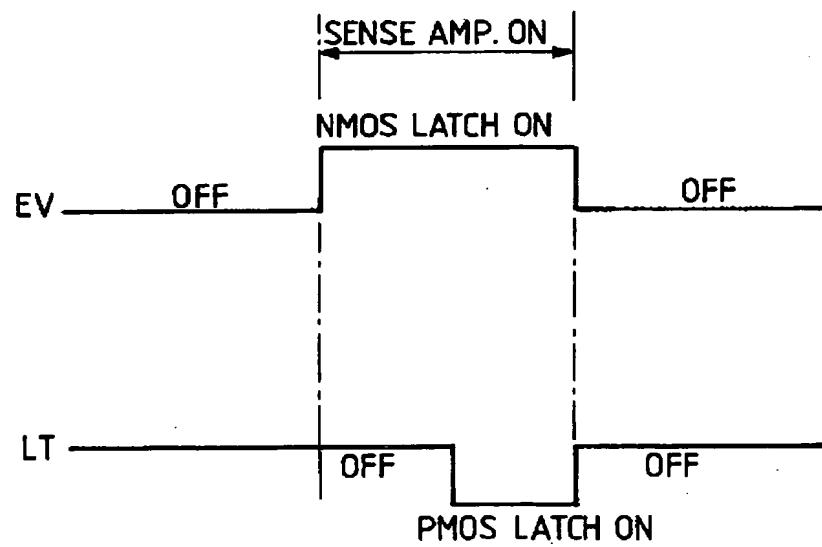
*FIG. 7*

FIG. 5

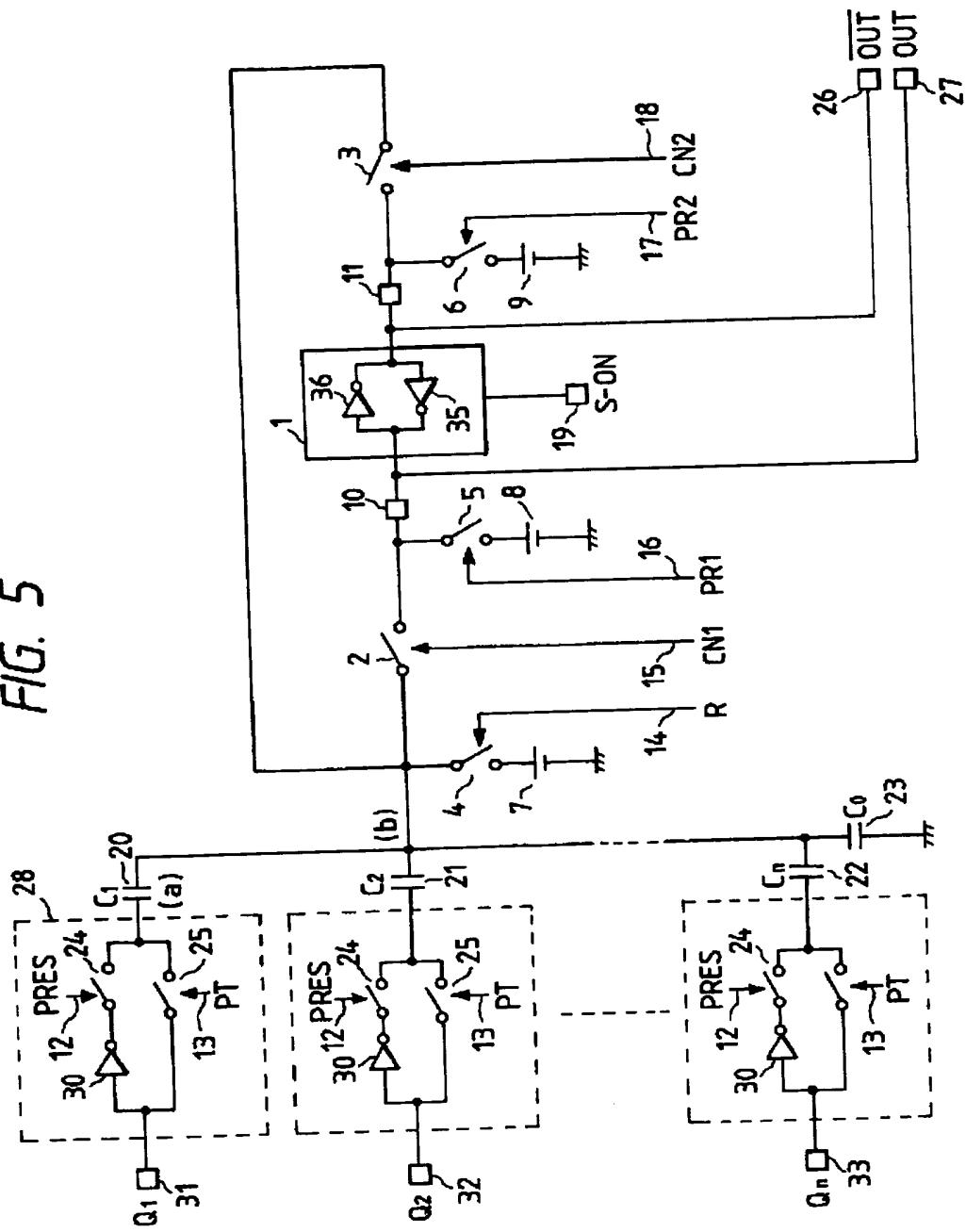


FIG. 6

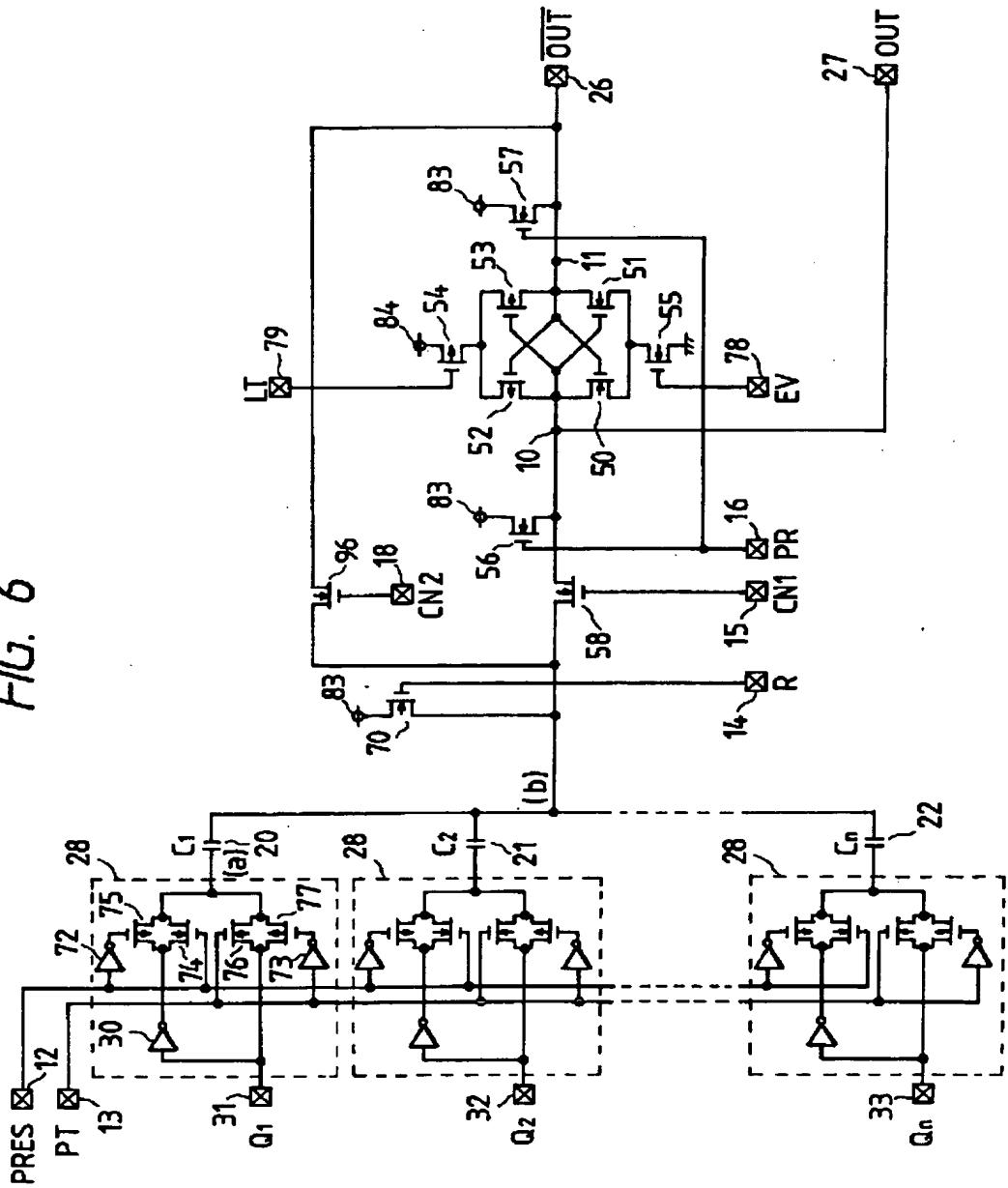


FIG. 8

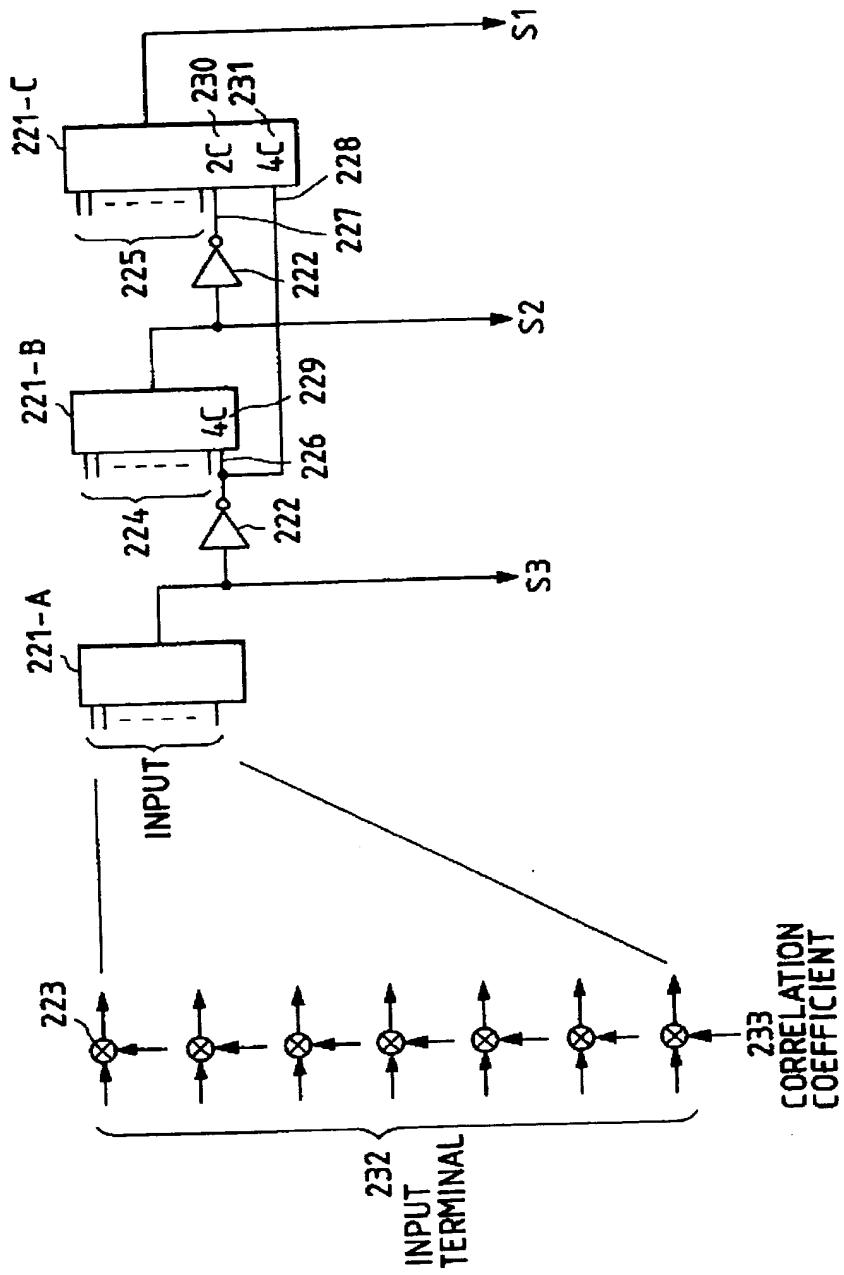


FIG. 9

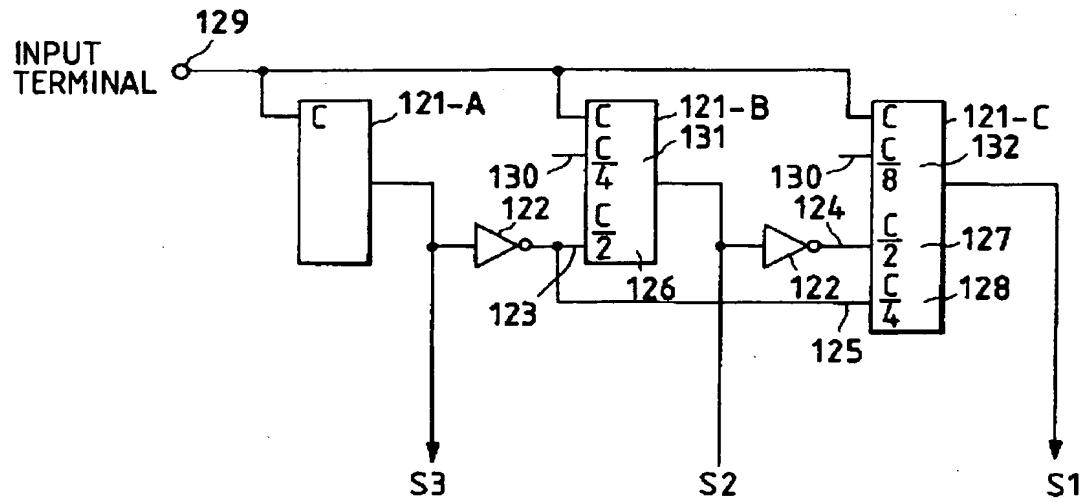


FIG. 10

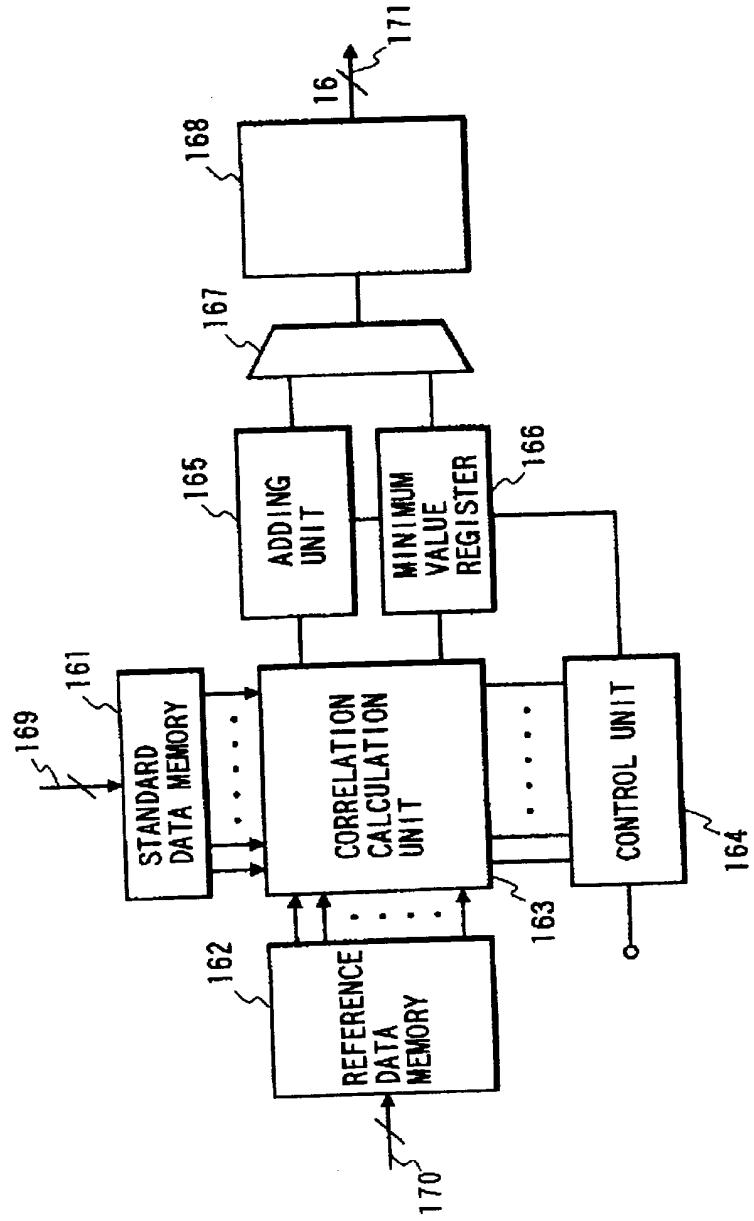


FIG. 11A

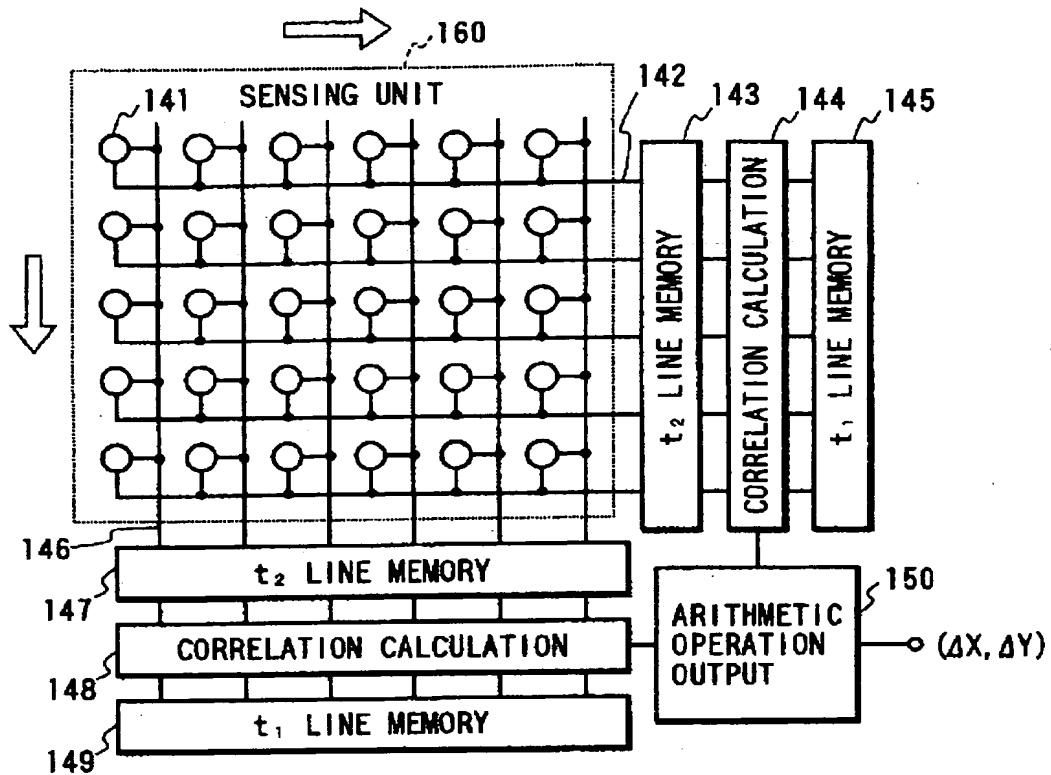


FIG. 11B

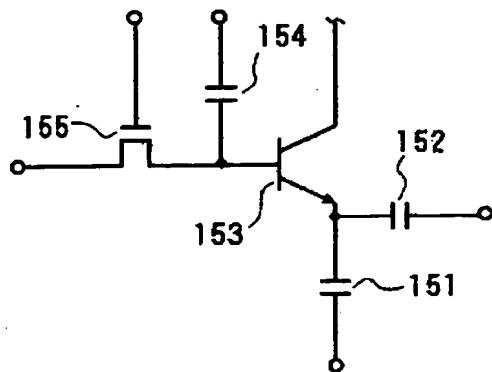
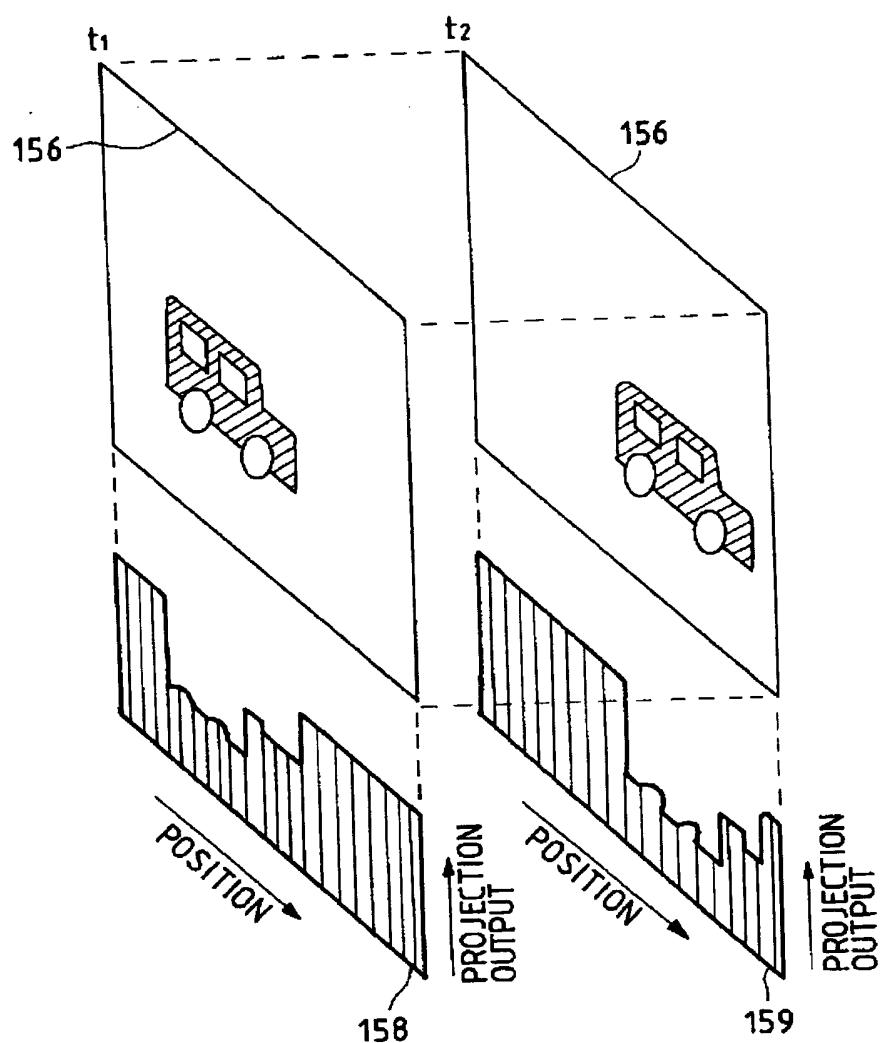


FIG. 11C





[12]发明专利申请公开说明书

[21]申请号 96101329.X

[51]Int.Cl⁶

G06F 7 / 48

[43]公开日 1996年10月30日

[22]申请日 96.1.31

[30]优先权

[32]95.1.31 [33]JP[31]014093 / 95

[71]申请人 佳能株式会社

地址 日本东京都

[72]发明人 小川胜久 宫胁守

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

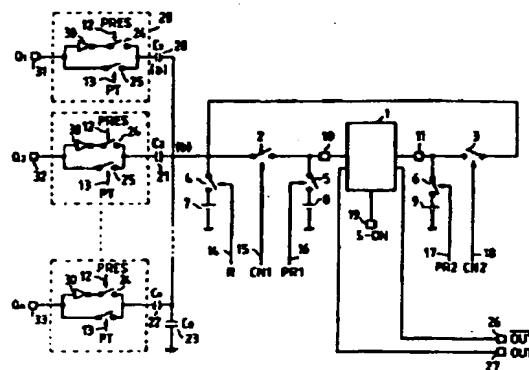
代理人 杨国旭

权利要求书 3 页 说明书 31 页 附图页数 11 页

[54]发明名称 半导体器件,具有该器件的电路,和相关计算装置、信号转换器和利用该电路的信号处理系统

[57]摘要

一种半导体器件，其中电容器装置的一端通过能选择一个输入信号的正或者负逻辑的第一开关装置被连接到多输入端，上述的电容器装置的其它的端通过第二开关装置被公共地连接到差分输入/输出型读出放大器的第一差分输入装置，上述的电容器装置的公共连接部分通过第三开关装置被连接到上述的差分输入/输出型读出放大器的第二差分输入装置，所述的第二差分输入装置具有一个与第一差分输入装置相反的极性。



(BJ)第 1456 号

权 利 要 求 书

1. 一种半导体器件，其中电容器装置的一端通过能选择一个输入信号的正或者负逻辑的第一开关装置被连接到多输入端，上述的电容器装置的其它的端通过第二开关装置被公共地连接到差分输入/输出型读出放大器的第一差分输入装置，上述的电容器装置的公共连接部分通过第三开关装置被连接到上述的差分输入/输出型读出放大器的第二差分输入装置，所述的第二差分输入装置具有一个与第一差分输入装置相反的极性。
2. 根据权利要求 1 的器件，其中第一复位开关装置被连接到上述的电容器装置的公共连接端。
3. 根据权利要求 1 的器件，其中第二和第三复位装置被分别连接到所述的说差分输入/输出型读出放大器的上述的第一和第二差分输入装置。
4. 根据权利要求 1 的器件，其中上述的第一，第二，和第三复位开关装置的接通周期重叠至少一个第一电容输入端复位周期，在该周期，输入信号的逻辑正和逻辑负通过上述的第一开关装置被加到上述的每个电容器装置的一端。
5. 根据权利要求 1 的器件，其中用于连接上述的电容器装置的公共连接端和所述的差分输入/输出型读出放大器的第一差分输入装置的上述的第二开关装置的接通周期至少在第一输入信号传送周期以后开始，在所述周期，一个与在电容输入端复位周期期间所加的逻辑相反的逻辑信号通过上述的第一开关装置被写入到

每个所述电容器装置的一端。

6. 根据权利要求 1 的器件，在上述的第二开关装置的接通周期以后，上述的电容器装置的 公共连接端通过上述的第一复位装置被再复位。

7. 根据权利要求 1 的器件，其中用于连接上述的电容器装置的公共连接端和所述的差分输入/输出型读出放大器的第二差分输入装置的上述的第三开关装置的接通周期至少在第二输入信号传送周期以后开始，在所述周期，一个与在电容输入端复位周期期间所加的逻辑相同的逻辑信号通过上述的第一开关装置被写入到每个所述电容器装置的一端。

8. 根据权利要求 7 的器件，其中通过上述的第一差分输入装置在第一输入信号传送周期期间保持的用于在上述的电容器装置的一端写入信号的放大器输入电压 1 与通过上述的第二差分输入装置在第二输入信号传送周期期间保持的放大器输入电压 2 的差通过接通所述的差分输入/输出型读出放大器被放大到一个逻辑幅度，并且差分输出被送到下一级。

9. 根据权利要求 1 的器件，其中上述的差分输入/输出型读出放大器是一个差分输出型放大器，它有在其输入级由具有相同极性的晶体管构成的差分对，并能根据上述的差分对的输入电势差放大具有一个极性的输入信号到一个逻辑幅度电平。

10. 根据权利要求 9 的器件，其中上述的差分输出型放大器通过一外部的控制信号能被接通/断开，并具有在在上述的放大器被关闭以前保持先前的算术运算结果的功能。

11. 根据权利要求 1 的器件，其中上述的差分输入/输出型读

出放大器是一个利用一个正反馈作用的锁存型读出放大器。

12. 根据权利要求 11 的器件，上述的锁存型读出放大器具有通过一外部的控制信号利用正反馈作用使能/不能放大的功能。

13. 一种具有多个权利要求 1 的半导体器件的半导体电路，来自多个的半导体器件的第一半导体器件的输出的和/或来自第一半导体器件的一反相的输出被输入到第二半导体器件。

14. 一个半导体电路，其中当对应于在权利要求 1 中的半导体器件中的多输入端的上述的电容器装置的一个最小电容量由 C 表示，上述的公共连接的电容器装置的总的电容量为最小电容量 C 的奇数倍。

15. 一个相关计算装置用于利用权利要求 13 的半导体电路执行一个相关算术运算。

16. 包括权利要求 1 的半导体器件的信号转换器，输入一模拟信号到半导体器件，并输出一个对应于模拟信号的数字信号。

17. 包括权利要求 1 的半导体器件的信号转换器，输入一数字信号到半导体器件，并输出一个对应于数字信号的模拟信号。

18. 一个信号处理系统，包括权利要求 15 的相关计算装置。

19. 根据权利要求 18 的系统，进一步包括图象输入器件用于输入图象信号。

20. 根据权利要求 18 的系统，进一步包括一个存储器件用于存储信息。

21. 一个信号处理系统，包括权利要求 16 的信号转换器。

22. 一个信号处理系统，包括权利要求 17 的信号转换器。

说 明 书

半导体器件,具有该器件的电路,和相关计算装置,

信号转换器 和利用该电路的信号处理系统

本发明涉及一个半导体器件,一个具有该器件的电路,和一个相关计算装置,一个信号转换器,和一个利用所述电路的信号处理系统,更具体地说,涉及一个允许并行信号处理半导体器件,一个具有该器件的电路,和一个相关计算装置,一个包括一个 A/D(模拟一数字)转换器或一个 D/A(数字一模拟)转换器的信号转换器,和一个利用所述电路的信号处理系统。

近年来,随着在信号处理速度方面的增加,实现低成本的可以以高速处理大量数据的算术运算装置是很重要的。在这些装置中,用于动态的图象的检测的相关装置,高精密的模拟一数字和数字一模拟转换器,等这种需求更加强烈。

由于象扩展频谱(SS)通信这样的技术需要高速的,在 Ghz 的级别上的多输入信号处理,除进一步在处理速度和精密方面的增加以外,需要并行处理大量的数据的要求更为强烈。

常规上,当这样的功能用一个半导体集成电路被实现时,并行的算术运算用多个半导体芯片被达到,以便达到高速度算术运算处理。但是,由于多个半导体芯片的运用引起电路面积方面的增加,已经利用最新的微图形规则实现了单片电路。

尽管有这样的尝试,由于常规的电路结构基本上具有一个大

路规模，在一个芯片上的电路的集成存在困难。

如大家所熟知，当要处理的信号的比特数增加时，这样的芯片的电路规模切急剧地增加。例如，电路规模的增加与被处理的比特数的平方成正比。

因此，当比特数增加时，装置的制造的费用增加，装置的电路规模在实际当中不能实现。例如，一个已经建议作为一个压缩/解压缩动态的图象的标准的 *MPEG2* 方法的运动检测芯片，还没有能够被集成在一个单个芯片上。

本发明是考虑上述情况作出的，其目的是提供一个可并行处理的半导体器件，可以处理数据，特别是可以以高精度和高速度，处理大量的数据。

本发明的另一个目的是提供一个低成本半导体器件，能执行高速的算术运算。

本发明的另一个目的是提供一个半导体器件，当需要算术运算处理的比特数增加时，能防止电路规模极端地增加。

本发明的另一个目的是提供一个半导体器件，能以低能耗进行算术运算处理。

本发明的另一个目的是提供一个半导体器件，电容器装置的一端通过第一开关被连接到多输入端，通过该开关能选择一个输入信号的正或负的逻辑，电容器装置的另一端通过第二开关被共同地连接到差分输入/输出型读出放大器的第一差分输入单元，电容器的公共连接的部分通过第三开关被连接到差分输入/输出型读出放大器的第二差分输入单元，第二差分输入单元具有一个与第一差分输入单元相反的极性。

本发明的另一个目的是提供一个具有半导体器件的电路，例如一个相关计算装置，一个包括 A/D 和 D/A 转换器的信号转换器，和一个信号处理系统。

图 1,5, 和 6 为示意电路图，用于说明根据本发明的电路结构的例子；

图 2 是一个示意定时图，说明图 1 中所示的电路的驱动定时的例子；

图 1, 图 3 是一个示意电路图，说明了一个差分输入/输出型传感器放大器的例子，

图 4 是一个示意定时图，说明一个差分输入/输出型传感器放大器的操作的一个例子；

图 7 是一个示意定时图，用来说明当图 6 所示的锁存型读出放大器导通时的操作的例子；

图 8 是一个示意电路图，用来说明本发明所适用的一个相关算术运算电路，

图 9 是一个示意电路图，用来说明本发明所适用的一个 A/D 转换器，

图 10 是一个示意方框图，用于说明本发明所适用的一个运动检测电路，

图 11A 是一个示意方框图，用来说明本发明所适用的一个用来执行图象处理的电路，

图 11B 是一个示意电路图，用于说明用于图 11A 中的光传感器的一个象素的电路结构的例子，

图 11C 是一个用于说明图象处理的算术运算内容的一个例子

的示意图。

按照本发明，通过利用在具有不同的极性的信号之间的电势差并输入到一个差分输入/输出型读出放大器，高精度的处理即可实现。

更具体地说，根据本发明，能选择一个输入信号的正/负的逻辑的第一开关装置被设置在多输入端，电容器装置通过第一开关装置被连接，每个电容器装置的一端通过第二开关装置被公共地连接到差分输入/输出型读出放大器的第一差分输入装置，而该公共连接的部分通过第三开关装置被连接到差分输入/输出型读出放大器的第二差分输入装置。第二差分输入装置具有一个通过反向第一差分输入装置的极性获得的极性，由此，实现一个半导体器件，它可以输出一个具有一个根据输入电势差的极性的逻辑幅差输出，而取得上述的目的。

在该半导体器件中，正和负的逻辑信号变化分量(具有同样的绝对值极性相反)，它出现在多输入电容器装置的通过电容器装置的公共连接部分，并通过第二和第三开关装置被写入差分输入/输出型读出放大器的第一和第二差分输入端，接通差分输入/输出型读出放大器，由此达到高精度，高速的并行的算术运算处理，并减少电路规模和电力消耗。

由于高灵敏度被获得，并行输入信号数目可被增加(例如，达到50到几百个输入)，每个循环的并行处理级的数目被增加，可以得到作为一个整体的高速的系统。

一个半导体电路具有多个上述的半导体器件，并输入多个半导体器件的第一半导体器件的输出和/或反相的输出到第二半导体器

件,例如,主电路被从属连接,因而,利用一个简单结构,实现了各种函数的算术运算。

而且,在利用半导体器件的半导体电路中,当对应于多输入端的电容器装置的最小容量表示为C时,公共连接的电容器装置的总的容量为奇数倍,即,正好或者大体为电容C的奇数倍,多级的主电路被采用,因而得到一种集成电路,在上面以高密度集成了具有最小组数的简单结构的3—比特二进制电路。

利用本发明的半导体器件,一个执行在多输入端的输入的相关算术运算的相关计算装置,一个信号转换器,例如一个A/D转换器,用于输出一模拟信号到半导体器件并输出一个对于模拟信号的数字信号和一个D/A转换器用于输入一个数字信号到半导体器件并输出一对应于数字信号的模拟信号,一个至少包括一个算术运算装置和信号转换器如A/D和D/A转换器之一的信号处理系统,和类似器件可被实现。按照本发明,能达到精确地信号发送,小的电路规模,和高速的处理,广泛的应用的一个装置,一个转换器,或者一个信号处理系统可被实现。而且,这个系统可包括图象输入器件用于输入图象信号,和一个存储器器件用于存储信息,因而进一步加宽系统的应用范围。

图1是一个根据本发明的第一实施例的示意电路图。参见图1,一个差分输入/输出型读出放大器1有一个第一输入端10(+输入端)和一个第二输入端11(-输入端)。当然,第一输入端10可以用作一输入端,而第二输入端11也可以用作+输入端。放大器1具有反相输出端26,和一个非反相输出端27。当差分输入/输出型读出放大器1包括一个RS触发型锁存差分读出放大器时,由于输入

和输出端被公共使用，第一输入端 10 和非反相输出端 27 被公共连接，第二输入端 11 和反相输出端 26 被公共连接。这个放大器的操作将在后面参照图 5 描述。差分输入/输出型读出放大器 1 通过一个控制信号 $19S-ON$ 被通/断控制。

另一方面，在输入级， n 个并行的多输入信号 $31, 32, \dots, 33$ 将称为输入信号 Q_1-Q_n 。 n 个输入信号被分别输入到复位开关输入块 28。各复位开关输入块 28 的操作将拿输入信号 Q_1 为例在下面叙述。输入信号 Q_1 通过变换器 30 被逻辑地反相，该反相信号通过第一信号复位开关 24 被输入到一个电容器 $C_1 20$ ，由此，当第一信号复位开关 24 被接通时，逻辑地复位电容器 $C_1 20$ 输入端到输入信号 Q_1 。信号复位开关 24 被一个信号 $PRES 12$ 控制。另一方面，输入信号 Q_1 通过一个信号传送开关 25 传送到电容器 C_1 而没有通过变换器 30。信号传送开关 25 被一个传送控制信号 $PT 13$ 控制。

注意，输入信号和一个出现在电容器的公共连接端的浮动节点 b 的信号有下列的相互关系。假定 Q_1-Q_n 为 n 个输入信号， C_1 到 C_n 是连接到各自的复位开关输入块 28 的输入电容器。 ΔV_1 和 ΔV_2 为由于在复位开关 24 接通时的初始状态输入信号 Q_1-Q_2 产生的电势变化量， Δv_f 是浮动节点 b 的电势变化量。信号输入前后在浮动节点 b 的总电荷量保持相同（电荷守恒原理），并由方程式(1)表示如下。

$$C_1(\Delta V_1 - \Delta V_f) + C_2(\Delta V_2 - \Delta V_f) + \dots + C_n(\Delta V_n - \Delta V_f) = C_0 \Delta V_f \quad \dots (1)$$

其中 C_0 是浮动节点 b 的一个寄生电容 23 或者类似的参数。

当以上所述方程式被修改时候, 我们得到:

$$\Delta V_t = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [V] \quad \dots (2)$$

更具体地说, 在各自的接线端的用 C_x 加权的电势变化的线性和被输出, 作为在浮动节点 b 一个电势变化。输入信号 $Q1-Qn$ 可以是模拟或者数字信号。在模拟信号情况下, 该电路能被用作为一个神经部件, 用于加权和检测在各自的接线端的输入的幅度。另一方面, 在数字信号的情况下, 一个用于比较输入信号的 H 和 1 电平信号的主逻辑电路可被构成。一个第一复位开关 4 用作复位装置, 用于复位浮动节点 b 到第一复位电压源 7 的电势, 并被一个控制信号 $R14$ 控制。一个第二复位开关 5 被用作复位装置, 用于在初始复位差分输入/输出型读出放大器 1 的输入端 10 到第二复位电源 8 的电势, 并由一个控制信号 $PR1$ 控制。一个第三复位开关 6 用作复位装置, 用于复位输入端 11 到第二复位电源 9 的电压, 并由一个控制信号 $PR2$ 控制。一个第一信号传送开关 2 传送在浮动节点 b 的输入算术运算结果到差分输入/输出型读出放大器 1 的输入端 10, 并由一个控制信号 $CN1$ 控制。一个第二信号传送开关 3 传送在浮动节点 b 的输入算术运算结果到差分输入/输出型读出放大器的输入端 11, 并由一个控制信号 $18CN2$ 控制。

图 2 是一个定时图, 用于说明图 1 中所示的实施例的电路的操作定时。这个实施例的操作的一个例子 将参照图 2 叙述。

加到输入端的信号的逻辑通过变换器 30 被反相。在这个状态下，由于控制信号 12 PRES 是在接通状态， n 个电容器 C_1, C_2, \dots, C_n 的输入端通过信号复位开关 24 被输入信号 Q_1, Q_2, \dots, Q_n 的反相的逻辑电势 Q_1 (反相的), Q_2 (反相的), ..., Q_n 被复位。几乎在同时，第一复位开关 4 通过控制信号 14R 被接通，浮动节点 b 作为电容器的公共的接线端被复位到第一复位电势 7，此外，第二和第三复位开关 5 和 6 被控制信号 PR1 和 PR2 接通，差分输入/输出型读出放大器的输入端 10 和 11 分别被复位到第二和第三复位电势 8 和 9。当电源电压是一个 5-V 系统时，这些复位电势 7, 8, 和 9 最好用 2.5V，电源电压的一半。但是，复位电势并不限于这个电压，也可能是其它的电压。第一复位电势 7 并非要总是等于第二和第三复位电势 8 和 9，可以是互不相同。有时，第二和第三复位电势 8 和 9 可以是 DC 电势，该电势有一个偏移电压，在相反方向上对应于差分输入/输出型读出放大器 1 的输入的偏移电压，来消除差分输入/输出型读出放大器 1 的偏移的分量。

以这种方式，各电容器的二接线端和差分输入/输出型读出放大器 1 两个接线端被复位的期间被称为初始复位周期，如图 2 所示。当各自的节点已经达到复位电势，复位开关 24, 4, 5, 和 6 被关闭，各电容器的二接线端和差分输入/输出型读出放大器 1 电势被保持在复位电势。

当信号传送脉冲接通时，信号传送开关 25 被接通，非反相的信号 Q_1, Q_2, \dots, Q_n 被同时地传送到 n 个电容器 C_1, C_2, \dots, C_n 。假定电源电压是一个 5-V 系统，输入信号是一个二进制信号在 L 电平 0V 和在 H 电平 5V(=电源电压)，在初始复位电势和输入信

号之间的电压差最大为 5V 作为在当时信号变化分量，即，一个相当于电源电压的电势改变被获得。因而，在浮动节点 b 的电势变化根据方程式(2)增加。在当时在浮动节点 b 的电势变化被方程式(3)表示如下：

$$\Delta V_f \quad (\text{非反相}) = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (3)$$

其中， ΔV_x 的值是 $-5V$ ($5V$ 的复位电势—当输入信号是 $0V$ 时) 或者 $+5V$ ($0V$ 的复位电势—当输入信号是 $5V$ 时)， C_0 是浮点 b 的寄生电容。

其后，由于控制信号 $15Cn1$ 被接通，浮动节点 b 的根据输入信号变化的电势变化 ΔV_f (非反相) 通过第一信号传送开关 2 被传送到差分输入/输出型读出放大器 1 的输入端 10。当输入端 10 的电势从第二复位电势 8 变化 ΔV_f (非反相) 时，控制信号 $Cn1$ 被关闭，该值被保持。在图 2 中，这个周期相应于非反相信号传送周期。

作为电容器的公共的接线端的浮动节点 b 由控制信号 R 通过第一复位开关 4 被再次复位到第一复位电势 7。在图中，该周期相应于一个浮动复位周期。

此时， n 个电容器 $C1, C2, \dots, Cn$ 的输入端通过输入信号的非反相逻辑被复位，即，非反相信号 $Q1, Q2, \dots, Qn$ 。在这个状态，当控制信号 $12PRES$ 被接通时，第一信号复位开关 24 被接通，输入端 a 通过变换器 30 被输入信号 $Q1, Q2, \dots, Qn$ 的反相的逻辑电势值 $Q1$ (反相的), $Q2$ (反相的), \dots, Qn (反相的) 再次复位。这样，信号的反相的逻辑被传送到对于电容器 $C1, C2, \dots, Cn$ 作为输入信号，因而获得一个在浮动节点 b 的电势变化。从方程式(2)中，在当

时在浮动节点 b 的电势变化 ΔV_f (反相的) 为：

$$\Delta V_f \text{ (反相的)} = \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \quad [V] \quad \dots (4)$$

由于控制信号 $CN2$ 被接通，在浮动节点 b 的电势的信号电势变化 ΔV_f (反相的) 通过第二信号传送开关 3 被传送到差分输入/输出型读出放大器 1 的输入端 11。当在接线端 11 的电势从第三复位电势 9 改变 ΔV_f (反相的) 时，控制信号 $CN2$ 被关闭，该值被保持。在图 2 中，该周期相应于一个反相信号传送周期。

根据反相信号传送周期的完成，差分输入/输出型读出放大器 1 的输入端 10 和 11 分别从复位电势保持通过方程式(31 和 (4) 给出的变化。包括复位电势和在输入接线端 10 和 11 被保持的电势 V_{IN10} 和 V_{IN11} 被分别通过方程式(5)和(6)得出。

$$V_{IN10} = V_{RESET8} + \Delta V_f \text{ (非反相)} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \quad (5)$$

这里， V_{RESET8} 为通过第二复位电势 8 确定的复位电势。

$$V_{IN11} = V_{RESET9} + \Delta V_f \text{ (反相的)} = V_{RESET9} + \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \quad (6)$$

这里 V_{RESET9} 为通过第三复位电势 9 确定的复位电势。

假定 $V_{RESETB}=V_{RESET9}$ ，差分输入/输出型读出放大器 1 的差分输入电势差 ΔV_{IN} 由下式得出：

$$\begin{aligned} \Delta V_{IN} &= V_{IN10} - V_{IN11} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} - (V_{RESET9} + \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x}) \\ &= \frac{\sum_{x=1}^n C_x \overline{\Delta V_x} - \sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \quad \dots (7) \end{aligned}$$

$$[\sum_{x=1}^n \overline{\Delta V_x}] \neq 0 \quad [\sum_{x=1}^n -\overline{\Delta V_x}] \quad \dots (8)$$

由于以上所述公式(8)有相等线性和的绝对值,和相反的+/-符号($\Delta V_x = -\Delta V_x$ (反相的)), 方程式(7)可被修改如下:

$$\Delta V_{IN} = \frac{\sum_{x=1}^n C_x \Delta V_x - \sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (9)$$

如上所述,当电源电压时是 5-V 系统,通过方程式(9)得出的 ΔV_x 最大为 5V。由于通过非反相逻辑信号传送输入接线端 10 的信号变化 $\Delta V+$ (非反相的)和通过反相的逻辑信号传送输入端 11 的信号变化 $\Delta V+$ (反相的)被差分输入/输出型读出放大器 1 的差分输入操作接收,它们是在单侧的信号变化的两倍,如方程式(9)所示。这样,作为电容性的算术运算结果的从复位电势的电势变化可在差分输入/输出读出放大器 1 之前被增加,如方程式(9)所示,读出放大器 1 能执行高精度,高速的处理。

其次,当通过方程式(9)给出的差分输入电势差 ΔV_{IN} 被保持在差分输入端时,读出放大器 1 被控制信号 19S-ON 接通。利用这个操作,根据接收的大的差分输入电势差 ΔV_{NI} ,差分输入/输出型读出放大器 1 被使能,并以高精度和高速并行地识别算术运算结果。然后,读出放大器 1 提供一个非反相的输出 $OUT27$ 和一反相的输出 $OUT26$ 到下一级作为差分输出。

当差分输入/输出型读出放大器 1 被设置有一个较高的增益的时候,被处理的并行信号的数目可被增加(50 到几百),整个处理系统的算术运算速度也可被提高。

图 3 显示了差分输入/输出型读出放大器 1 的结构的一个例子。由于在图 3 中同样的标号表示的部件具有与图 1 中的同样的功能,其详细描述在此被略去。在图 3 中,由方程式(8)给出的差分电

势通过从初始复位周期到反相的信号传送周期的过程被保持在差分输入/输出型读出放大器 1 的端 10 和 11 的十和一输入之间, 如在图 1 所示的实施例中已经叙述的那样。

参见图 3, 在十输入端 10 的电压被施加到 NMOS 晶体管 600 的控制极, 而在一输入端 11 的电压被施加到 NMOS 晶体管 601 的控制极。NMOS 晶体管 600 和 601 构成一个差分对具有一个公共的源极, 而源极被连接到 NMOS 晶体管 504 的漏极, 执行一个恒定的电流操作。NMOS 晶体管 604 的源极被连接到地电势, 而它的控制极被公共地连接到 NMOS 晶体管 613 的控制极。公共地连接的控制极被连接到控制信号 $S-ON19$ 。当控制信号 $S-ON19$ 被激励时, NHOS 晶体管 604 和 613 作为恒定的电流源被接通用作一个恒定的电流源, 而 NMOS 晶体管 600 和 601 的公共的源极被连接到 NMOS 晶体管 604 的漏极。

差分对, 即, NMOS 晶体管 600 和 601 被接通。在该状态, 有源负载, 即一个 PMOS 晶体管 602, 其控制极—漏极路径被连接到 NMOS 晶体管 600 的漏极, 和一个 PMOS 晶体管 603, 其漏极被连接到 NMOS 晶体管 601 的漏极, 开始操作。PMOS 晶体管 602 的源极被连接到一个电源 $Vdd 84$, 它的控制极被短路到它的漏极, 而控制极—漏极路径被连接到 NMOS 晶体管 600 的漏极 PNDS 晶体管 603 的控制极, 并作为输出被连接到 NMOS 晶体管 609 的控制极作为在下一级的一个差分对的一个晶体管。

PMOS 晶体管 603 的源极被连接到电源 $Vdd 84$, 它的漏极被连接到 NMOS 晶体管 601 的漏极。在此二漏极之间的连接点作为输出被连接到 NMOS 晶体管 610 的控制极作为在下一级的差分对

的另一个晶体管。

NMOS 晶体管 609 和 610 构成一个差分对，具有一个公共连接的源极，它被连接到 NMOS 晶体管 613 的漏极。NMOS 晶体管 609 和 610 的漏极被连接到 PMOS 晶体管 611 和 612 的漏极作为有源负载。PMOS 晶体管 611 和 612 的源极被连接到电源 Vdd 84，它们的控制极被公共地连接到一个电源 VB 。电源 VB 提供一个用于与控制信号 $S-ON$ 同步地接通/断开 PMOS 晶体管 611 和 612 的电压。更具体地说，当控制时信号 $S-ON$ 被逻辑地激励时，用于恒定的电流源的 NMOS 晶体管 604 和 613 被接通，与这个接通操作同步，电源 VB 产生一个用于转换 PMOS 晶体管 611 和 612 从断开状态到接通状态的电压。结果，PMOS 晶体管 611 和 612 被接通，并作为恒流源的有源负载。

在如图 2 所示的读出放大器接通期间。控制信号 $S-ON$ 被激励形成一初级差放大器，包括输入级 NMOS 差分对(600 和 601)和有源负载 602 和 603，和下一级差分放大器，包括输入级差分对(609 和 610)和恒流源 PMOS 和负载 611 和 612，由此接通差分输入/输出型读出放大器 1 块。在该状态，在十和一输入端 10 和 11 之间的差分电压 ΔVIN 被二个差分 CMOS 放大器放大并出现在下一级的差分对(609 和 610)的漏极作为有一个大的振幅的差分输出。然后，在一个传送控制极 102 包括连接到 NMOS 晶体管 610 的 NMOS 和 PMOS 晶体管 620 和 621，和一个传送控制极 103 包括连接到 NMOS 晶体管 609 的漏极的 NMOS 和 PMOS 晶体管 623 和 624，当一个控制信号改变到高电平时，即，被接通时，NMOS 晶体管 620 和 623 被接通，并且 PMOS 晶体管 521 和 524 通过变换器

622 和 625 设置它们的控制极为低电平而被接通。

结果，当从第二差分 CMOS 放大器得到的作为差分输出的电压被送到传送控制极 102 和 103，变换器 100 由在下一级中的 NMOS 和 PMOS 晶体管 626 和 627 组成，输出一个非反相输出，变换器 101 包括在下一级的 NMOS 和 PMOS 晶体管 628 和 529，输出一反相的输出。此时，与控制信号 S-ON 的关断操作同步地，传送控制极 102 和 103 被关闭。这样，一算术运算周期被完成。

即使当传送控制极 102 和 103 被接通时，控制极电压被保持，并且输出保持其先前的输出状态，直到下一个算术运算周期为止。在这个状态下，信号被传送到下一级，差分输入/输出型读出放大器 1 等待在下一个周期中的处理。图 4 是一个 S-ON, VB, 和 ST 的定时图。图 4 显示了作从反相的信号传送周期到图 2 中的下一个初始复位周期的操作和显示了用于控制读出放大器 1 的控制信号 S-ON，与 S-ON 同步的反相电压源 VB，和用于控制读出放大器 1 中的输出部分中的传送控制极 102 和 103 的控制信号 ST 之间的定时关系。即使当控制信号 ST 从高电平变到低电平，输出仍保持所述输出状态。

(第二实施例)

下面将参照附图 5 叙述根据本发明的第二实施例。在图 5 中，图 5 中相同的标号表示与图 1 中的部件具有相同的功能的部件。并且详细描述被略去。在这个实施例中，差分输入/输出型读出放大器 1 包括一个锁存型读出放大器。图 1 的输入端 10 直接变成一个输出信号 OUT 27，并被提供给下一级，同样地，图 1 中的输入端 11 直接地成为输出信号 OUT(反相的)26，并提供该输出信号 OUT 的

反相的逻辑到下一级。

下面参照图 2 描述其操作。从初始复位周期到反相的信号传送周期的操作与图 1 中的实施例中的相同，在输入/输出端 10 和 11 产生的一个电压差可以由方程式(10)给出

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (10)$$

差分输入/输出型读出放大器包括 *RS* 锁存，它由变换器 31 和 32 构成，而锁存型读出放大器 1 通过控制信号 *S-ON* 被接通/断开控制。

在图 2 所示的反相信号传送周期过去以后，假定锁存型读出放大器 1 的输入端 10 和 11 之间的电势关系满足 $V_{IN10} > V_{IN11}$ ，并也满足：

$$|V_{IN10} - V_{RESET8}| = |V_{IN11} - V_{RESET9}| = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (11)$$

然后，方程式(11)能被改写为方程式(12)或者(13)。

$$V_{IN10} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (12)$$

$$V_{IN11} = V_{RESET9} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (13)$$

$V_{RESET8} = V_{RESET9}$ 。

当通过设置控制信号 *S-ON* 为高电平时在输入端 11 和 12 保持由方程式(12)和(13)得出的电势锁存型读出放大器 1 被接通时，高于输入端 10 的复位电势的电势 V_{IN10} 漂移到一个更高的电

势,因为锁存型读出放大器 1 的电势回馈作用,最后稳定在电源电压 Vdd 。

另一方面,低于输入端 11 的复位电势的电势 $VIN11$ 因电势回馈效应,也漂移到一个较低的电平并最后稳定在地电势。同样地,当 $VIN10 < VIN11$ 时,输入端的电势 10 最后稳定在地电势,输入端 11 的电势最后稳定在电源电压 Vdd 。这样,当差分输入端在锁存型读出放大器 1 被接通以前被设置一个大的电势差时,一个高精度,高速的算术运算可被实现。锁存型读出放大器 1 的灵敏度被改进时,多输入(例如 50 到几百个输入)算术运算可以实现,并行算术运算能被改进,由此得到信号处理系统的高算术运算速度。在这个实施例中,锁存型读出放大器本身有一个存储数据功能,并可保持数据直到下一个算术运算为止。因此,当并行算术运算的数目增加时,传送到下一级的信号由于连接线路的延迟时间被相对每个其它信号被延迟,否则,噪声会因为串扰而混入信号中,从锁存型读出放大器的输出能够根据基本算术运算时钟实现高精度信号发送,因为它们被锁存,因而保证高精度并行算术运算处理。

锁存型读出放大器的输入端 11 可以传送算术运算结果 OUT 和算术运算结果 OUT 的反相的逻辑输出到下一级。因此,这些输出能被传送到下一级作为差分输出。当下一个处理系统具有图 1 或 5 中的输入级所示的多输入端时,输出信号 $OUT27$ 和反相的信号 OUT (反相的)26 能直接地被连接到信号传送开关 25 和连接到输入算术运算电容器的信号复位开关 24,在后来的处理中在复位开关块 28 中不使用变换器 30,由于这些信号有相反逻辑电平,因而简化了电路结构并减少了电源消耗。

(第三实施例)

下面参照图 6 描述根据本发明的第三实施例。在图 6 中相同的标号表示与图 5 中具有相同功能的部件，并略去其详细说明。这个实施例的电路操作将参照图 2 叙述。但在读出放大器导通期间的详细定时参照图 7 独立地被叙述。

在图 6 中，在每个复位开关输入块 28 中，在图 5 中的第一信号复位开关 24 由 NMOS 晶体管 74, PMOS 晶体管 75, 和变换器 12 构成，并用作用于信号复位开关的一个传送控制极。当控制信号 PRES12 被设为高电平时，开关 24 被接通，并复位输入电容器 C1 的一个输入端到输入信号 Q1 的反相的逻辑。

在复位开关输入块 28 中，图 5 中的信号传送开关 255 用作一个用于信号传送的传送控制极，由 NMOS 晶体管 76, PMOS 晶体管 77, 和图 6 中的变换器 30 构成。当控制信号 PT 13 处于高电平时，开关 25 被接通，并在电容器 C1 的输入端写入输入信号 Q1 的非反相逻辑。另一方面，图 5 中的第一复位开关 4, 第二复位开关 5, 第三复位开关 6, 非反相逻辑信号传送开关 2, 和反相逻辑信号传送开关 3 分别对应于 NHOS 晶体管 70, 56, 57, 58, 和 96。复位电势 83 为当各自的节点时被对应的开关接通时要汇集的一个目标电势。在这种情况下，第一，第二，和第三复位开关被给予一相同的复位电势 83。

在说明该实施例的操作的图 2 所示的定时图中，对应的开关从初始复位周期到反相的信号传送周期被接通/断开，输入端 11 和 12 的节点有一个由下列的方程式(14)给出的电势差：

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (14)$$

当作为节点的输入端 10 和 11 之间的电势关系满足 $V_{IN10} > V_{IN11}$ 时, 如果复位电势 83 被表示为 V_{RESET} 83, 电势 V_{IN10} 和 V_{IN11} 分别由下面的方程式(15)和(16)给出:

$$\text{输入端 10: } V_{IN10} = V_{RESET} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (15)$$

$$\text{输入端 11: } V_{IN11} = V_{RESET} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (16)$$

作为节点的输入端 10 和 11 被保持在由方程式(15)和(16)给出的电势。

在这个状态, 如图 7 所示, 在读出大器接通期间, 一个信号 EV 被接通, 设置 NMOS 晶体管 55 成接通状态。此时, 具有一个公共的源极的 NMOS 晶体管 50 和 51 用作一个差分 NMOS 锁存器。在这种情况下, 由于 NMOS 晶体管 51 被接通, NMOS 晶体管 50 被关闭, 这些晶体管排出在输入端 11 上累积的电荷, 作为较低的电势的输入端 11 的电势 (NMOS 晶体管 50 的控制极和 NMOS 晶体管 51 的漏极之间的节点) 因为正反馈作用漂流到地电势, 作为较高的电势的输入端 10 的电势 (NMOS 晶体管 51 的控制器和 NMOS 晶体管 50 的漏极之间的节点) 被保持。这样, 当一个大于初始电势差的电势差被产生在输入端 10 和 11 之间时, 一个控制信号 $1T$ 79 从高电平变化到低电平, 接通 PMOS 晶体管 54。PMOS 晶体管 54 的源极被连接到电源 Vdd 84, 当 PMOS 晶体管 54 被接通时, 具有一个公共的源极的 PMOS 晶体管 52 和 53 被用作一个差分 PMOS 锁存器。结果, 由于 NMOS 和 PMOS 锁存器被完全接通,

作为较低电势的输入端 11(NMOS 晶体管 51 的漏极和 NMOS 晶体管 50 的控制极之间的节点)由于正反馈作用快速接近地电势,而输入端 10 的电势(NMOS 晶体管 50 的漏极和 NMOS 晶体管 51 的控制极之间的节点)由于正反馈的作用,接近电源电压 84。由于输入端 11 的电势迅速地降到地电势。这样,输入端 10 被锁存在逻辑“H”输入端 11 被锁存在逻辑“1”。

从节点 10 的输出信号 OUT_{27} 和从节点 11 的输出信号 OUT (反相的)被分别传送到下一级作为差分输出。

当输入端 10 和 11 之间的电势关系在满足 $VIN_{10} < VIN_{11}$ 的时候,通过一个相似的正反馈操作,输入端 10 被锁存在逻辑“1”,输入端 11 被锁存在逻辑“H”。

如上所述,当具有一个大的电势差的差分信号被输入到信号锁存器型读出放大器的输入端时,高精度,高速度处理被保证。

通过增加锁存型读出放大器的正反增益,可以实现多输入的算术运算操作(例如 50 到几百个输入),由此增加了并行算术运算的数目和增加了处理系统的算术运算速度。

锁存型读出放大器本身有一个存储数据功能,并能保持数据直到下一个算术运算为止。因此,当并行算术运算的数目增加时,要被传送到下一级的信号由于连接线的延迟时间相对其它信号有一个延迟,否则,噪音会因为串扰而混入信号,从锁存型读出放大器的输出可以由于已经被锁存可以根据基本算术运算时钟进行高精度信号传送,因此,保证了高精度的并行算术运算处理。

锁存型读出放大器的输入端 10 和 12 可以传递算术运算结果 OUT_{27} 和算术运算结果 OUT_{27} 的反相逻辑输出到下一级。因此,

这些输出可以被传送到下一级作为差分输出。因此，在后续的处理中，输出信号 OUT_{27} 和反相信号 OUT (反相)26 可以直接被输入到用于信号复位开关的信号传递控制极($NMOS$ 晶体管 74 和 $PMOS$ 晶体管 75 的源极之间的节点)的输入端和用于信号传递的传递控制极的输入端($NMOS$ 晶体管 76 和 $PMOS$ 晶体管 77 的源极之间的节点)，因此，得到的电路结构简单，能耗少，并增加了处理速度。

(第四实施例)

下面参照图 8 描述第四实施例，其中上述的半导体器件被用于一个相关运算电路。在图 8 中，相关算术运算电路包括主算术运算电路块 221-A, 221-B, 和 221-C，其中每个具有 7 个输入端，变换器 222，和比较器 223 用于比较在输入端 232 的信号和对应的相关系数 233。当 7 个输入信号输入到主算术运算电路块 221-A 时，主算术运算电路块 221-B 和 221-C 的输入端 224 和 225 接收相同的信号。输入端 226, 227, 和 228 接收从前面的主算术运算电路块输出的信号。电容器 229, 230, 和 231 被连接到输入端 226, 227, 和 228 并分别有容量值 $4C$, $2C$, 和 $4C$ (C 是连接到正输入端的容量)。

参见图 8，输入信号与相应相关系数 233 一起被输入到比较器 223。当输入信号符合相关系数 233 时，各比较器 223 输出一个高电平信号；否则，它输出一个低电平信号。从比较器 223 输出的信号被输入到主算术运算电路块 221-A 到 221-C。例如，当从比较器 223 的输出被输入到 7-输入端择多算术运算电路块 221-A 时，如果高电平信号的数目是多数的话，即，如果 7 个输入信号中四个或多于四个输入信号是高电平信号时，择多算术运算电路块

221-A 输出一个高电平信号。表 1 中的栏 3 显示了该输出状态。

同样地，具有总数 11 个的输入端，即，七输入端 224 和具有一个等于四个输入端的容量 $4C$ 的输入端 226 的择多算术运算电路块 221-B 当六个或六个以上的输入为高电平信号时输出一个高电平信号。表 1 中的栏 S2 显示了这个输出状态。另一方面，具有总数 13 个输入端的，即，7 个输入端 225，具有一个等于四个输入端的容量 $4C$ 的输入端 228，具有一个等于二个输入端的容量 $2C$ 的输入端 227 的择多算术运算电路块 221-C，当七个或多于七个输入为高电平信号时，输出一个高电平的信号。在表 1 中的栏 S1 显示了这个输出状态。

更具体地说，栏 S3 显示了在输入信号中根据高电平的信号的数目，7—输入端择多算术运算电路块的输出值。其后，如图 8 所示，从 7—输入端择多算术运算电路块 221-A 的输出通过反相器 222 被反相，反相的输出被加到择多算术运算电路块 221-B 的加权输入端 226。择多算术运算电路块 221-B 用作 11—输入端择多算术运算电路，其中，11 个“C”被通常连接，11 个“C”中的 4 个接收一个来自加权输入端的信号，其余的 7 个端接收与输入到择多算术运算电路块 221-A 相同的信号。例如，当七个输入中的四或以上为高电平信号时，一个低电平信号被加到加权输入端，如上所述。此外，当输入到除了加权输入端以外的输入端的七个输入信号的六个或以上为高电平的信号时，11—输入端择多算术运算电路从整体上确定一个多数，并输出一个高电平的信号。当七个输入中的四个或以上和五个或更少为高电平信号时，由于择多未确定，一个低电平信号被输出。另一方面，当七个输入中的三个或或更少的输入为高电

平信号时,一个高电平的信号被加到加权输入端 226。当七个输入中的二个或以上和三个或更多为高电平的信号时,由于 $4+2$ 或 $4+3$ 产生 6 或以上,一个择多被确定,一个高电平信号被输出。另一方面,当一个或者更少的输入为高电平信号时,由于 $4+0$ 或者 $4+1$ 产生 6 或者更少,一个低电平信号被输出。在表 1 中的栏 S2 显示了根据高电平的信号的数目,择多算术运算电路块 221-B 的输出值。

当择多算术运算电路块 221-A 和 221-B 的输出信号的反相的信号被加到两个分别具有 $X4$ 和 $X2$ 容量值 $4C$ 和 $2C$ 的加权输入端 228 和 227 时,择多算术运算电路块 221-C 操作获得如表 1 中的栏 S1 所示的输出。利用这个电路结构,如表 1 所示,符合多个输入信号的相关系数的信号数目被转换成一个 3—数字二进制值,进而二进制值可被输出。

(第五实施例)

第五实施例将参照图 9 和表 2 进行描述。这个实施例举例说明了一个使用本发明的 3—位精度模拟—数字的转换器(在下文称为 A/D 转换器)。如图 9 所示的 A/D 转换器包括 1—,2—,和 3—输入算术运算电路块 121-A,121-B,和 121-C,和变换器 122。输入端 123,124,和 125 接收来自前面的算术运算电路块的输出信号。电容器 126,127,和 128 被连接到输入端 123,124,和 125 并分别具有容量值 $C/2$, $C/2$,和 $C/4$ (C 是连接到正输入端的容量)。一个模拟输入端 129 和设置输入端 130 分别与具有容量值 $C/4$ 和 $C/8$ 的电容器 131 和 132 连接。各自的块具有数字输出端 S1,S2,和 S3。

在这个实施例中,一种情况将被举例说明,其中,一个 5-V 电

源系统被采用。参见图 9，算术运算电路块 121-A 的被复位到 0V，算术运算电路块 121-B 和 121-C 的读出放大器的输入被复位到大约 2.5V。信号输入端 123, 123, 和 125, 和设置输入端 130 的输入算术运算电容器 132 的输入端被复位到 5V。此时，信号输入端 129 被设置在 0V。其后，假定设置输入端 130 被设置在 0V 而到输入端 129 的输入电压被从 0V 改变到一模拟信号电压。在这种情况下，在算术运算电路块 121-A 中，当模拟输入电压变为大约 2.5V 或者更高时，在块 121-A 中的读出放大器的输入电压超过一个逻辑反相电压(在该情况假定为 2.5V)，一个高电平信号被输出。在表 3 中的栏 S3 显示了该输出结果。

当时模拟输入信号为 2.5V 或者更高时，输入端 123 从作为复位电势的 5V 变化到 0V，此时，在算术运算电路块 121-B 中的读出放大器的输入端的电势变化由下式给出：

$$\{C \times VA - (C/2)x5 - (C/4)x5\} / (C + C/2 + C/4) \{V\}$$

其中，VA 为模拟输入信号电压。

如从这个方程式中可以看出，当模拟信号电压 VA 等于或者高于 3.7V，算术运算电路块 121-B 输出一个高电平的信号，当电压 VA 等于或高于 2.5V 并低于 3.7V 时输出一个低电平信号。在表 2 中的栏 S2 显示了该输出结果。

同样地，从算术运算电路块 121-C 的输出的被示于在表 2 中的栏 S1。

根据这个实施例，如表 2 所示，一个转换模拟信号电压到 3-位数字信号并输出数字信号的 A/D 转换器通过一个很小的结构可被实现，保证高的算术运算速度和低的消耗电压。

这个实施例已经举例说明了一个 3 一位 A/D 转换器。但是，本发明并不限于此，当然，位数能很容易地被增加。在这个实施例中，利用电容器的一个快闪型 A/D 转换器已经被举例说明。但是，本发明并不限于此。例如，本发明可被适用到一个 A/D 转换器的编码器电路部分，它以下面方式执行 A/D 转换，比较器比较输入到一个电阻器阵列的信号与一个参考信号，编码器编码比较结果，因而获得与前述相同的作用。

如上所述，在对应于多输入端的电容器装置的一端被公共连接并且该公共端被输入到读出放大器的电路块中，电容器装置的容量的总和大体为 C 的奇数倍， C 为连接到多输入端的电容器装置的最小的一个。

当一个相关电路没有控制输入端时，连接到输入端全部的电容量有一个最小量值。另一方面，当相关电路，如上所述，例如图 8 中所示的第四实施例，有控制输入端时，连接到控制输入端的电容量 C 的偶数倍，如 $2C$ 和 $4C$ ，这些端的电容量的总和和奇数的输入信号端大体为 C 的奇数倍。利用这个结构，与一个所需的参考值的明确的比较可被达到，因而改进算术运算精度。

在以上所述中，相关电路已经被举例说明。在二进制 D/A 转换器的情况下，如果最小显著位(1SB)的信号输入电容量由 C 表示，下一个位的容量为 $2C$ ，第二个下一个位为 $4C$ ，依此类推，即每个位的值为前一个的二倍，多输入端的电容量的总和为 C 的奇数倍，因而实现一个高精度 D/一个转换器。

对于 A/D 转换器，如图 9 中所示的第五实施例中所述，用于鉴别是否模拟信号电平高于或低于整个范围的 $1/2$ 的鉴别点的数

目被设置为一个奇数,即,在块 121-A1 中 1(1C), 在块 121-B 中, 对应于鉴别标准 $1/4$, $2/4$, 和 $3/4$ 的鉴别点的数目为三, 即, 一个奇数, 电容量的总数有一个奇数的多值, $1+2+4=7$, 以 $C/4$ 作为一个最小值。块 121-C 被设置有 $C/8$ (最小值), $C/4$, $C/2$, C 为顺序地被加倍, 即, 一奇数的多值, $1+2+4+8=15$ 。

利用这个结构, 由于高精度算术运算能被达到而无需任何不必要的大的电容量, 低功耗, 高速度的算术运算可被实现。

在以上所述中, 相关算术运算电路和 A/D 转换器已经被举例说明, 但是, 本发明并不限于这些单元。例如, 本发明可以被应用到各种其它的逻辑电路, 如一个数字—模拟转换器, 加法器, 减法器这样一类的电路, 因而获得与上述相同的作用。

特别是, 当本发明被应用到 AD/转换器时, 如果用于接收 1SB 数据的输入端的电容量用 C 表示, 电容量仅仅需要被设置到向最显著位如 $2C$, $4C$, $8C$, ... 的两倍, 因而实现一个二进制 D/A 转换器, 在这种情况下, 从电容器的公共连接端的输出可通过一个源极跟随 放大器被接收。

(第六实施例)

第六实施例将参照图 10 描述如下。在第六实施例中, 本发明的技术被应用到一个运动检测电路, 用于, 例如动态的图象。参见图 10, 运动检测电路包括存储器 161 和 162 用于分别存储标准数据和参考数据, 一个相关计算单元 163, 一个控制单元 164 用于控制整个芯片, 加法单元 165, 用于将相关计算单元 163 的相关结果相加, 一个寄存器 166 用于存储从加法单元 165 的输出和的最小值, 一个比较存储单元 167, 作为一个比较器和一个用于存储最小值的

地址的单元，一个单元 168，作为输出缓冲器和输出结果存储单元。一个标准数据串被输入到输入总线 169，一个要与标准数据串作比较的参考数据串被从输入总线 170 输入。存储器 161 和 162 包括 SRAMs，并由通常的 CMOS 晶体管电路构成。

由于单元 153 包括一个本发明的相关算术运算电路，从参考和标准的数据存储器 162 和 161 提供给相关计算单元 153 的数据能通过高速的并行处理而被处理。由于这个原因，单元 163 不仅能达到很高速的处理，也可由小数目的元件构成，因而，减少了芯片尺寸和成本。相关算术运算结果通过加法单元 165 被计算（估计），在比较/存储单元 167 的目前相关算术运算以前，与存储最大的相关算术运算结果（最小和）的寄存器 166 的内容比较。如果当前的算术运算结果小于在前的最小值，当前的结果被最近地存储在寄存器 166；如果先前的结果小于当前的结果，先前的结果被保持。利用这种操作，最大的相关算术运算结果总是被存储在寄存器 166 中，并根据全部的数据串的操作的完成，最后的相关结果被从输出总线 171 输出，作为，例如，一个 16 位信号。

控制单元 164，加法单元 165，寄存器 166，比较/存储单元 167，和单元 168 在这个电路中被用常规的 CMOS 晶体管电路构成。具体地，当加法单元 165 或者类似采用包括本发明的复位电路的电路结构时，可实现高精度读出放大器操作和高速的处理。如以上所述，不仅可以实现高速度处理和低成本，由于算术运算是在电容量的基础上通过锁存电路被执行的，所以电流消耗可被减少，因而实现低功耗。由于这个原因，本发明被适当地应用到便携设备，如 8mm VTR 摄像机或者类似的设备。

(第七实施例)

本发明的第七实施例将参照图 11A, 11B, 和 11C 进行描述。第七实施例提供了一种电路结构, 根据本发明的集成技术, 在图象信号数据被读取以前可以执行高速的图象处理, 和一种光学的传感器(固态的图象拾取元件)。

图 11A 是一个方框图, 显示了这个实施例的一个电路的总的结构, 图 11B 是一个电路图, 显示了这个实施例的一个电路的象素部分的结构, 图 11C 是一个示意图用于说明这个实施例的算术运算内容。

参见图 11A, 该电路包括光接收部分 141, 其中每个包括一个光电转换元件, 行存储器 143, 145, 147, 和 149, 相关计算单元 144 和 141, 和算术运算输出单元 150。如图 11B 所示的光接收部分部分 141 包括耦合电容器装置 151 和 152, 用于连接光学信号输出端和输出总线线路 142 和 146, 一个双极晶体管 153, 连接到双极晶体管 153 的基区的电容器装置 154, 和一个开关 MOS 晶体管 155。输入到图象数据读出单元 160 的图象数据被双极晶体管 153 的基区光电地转换。

对应于光电地转换的光载波的输出被读取到双极晶体管 153 的发射极, 并根据通过耦合的电容器装置 151 和 152 输入存储的电荷信号, 升高输出总线线路 142 和 146 的电势。利用上述的操作, 在列方向的象素的输出的和被读取到行存储器 147, 在行方向的象素的输出的和被读取到行存储器 143。在这个例子中, 如果双极晶体管的基极电势通过每个象素部分的电容器装置 154 被升高的区利用, 例如一个译码器(在图 11A 到 11C 中未示出)被选择时, 在读出

单元 160 上的一个任意的区的 X—和 Y—方向的和可被输出。

例如,如图 11C 所示,当图象 156 在时间 t_1 被输入时,图象 157 在时间 t_2 被输入,通过在 Y—方向分别加上这些图象获得的输出结果 158 和 159 变为图象信号表示如图 11C 所示的一个车辆的运动状态,这些数据被分别存储在如图 11A 所示的线路存储器 147 和 149。同样地,通过在 X—方向加上图象数据获得的数据被存储在行存储器 143 和 145。

从如图 11C 所示的图象信号的数据串输出 158 和 159 中可以看出,二图象的数据根据图象的运动变换。因而,当相关计算单元 148 计算移动量,并且相关计算单元 144 同样地计算在水平方向的数据时,在二维平面上的物体的运动可通过一个很简单的方法检测。

如图 11A 所示的相关计算单元 144 和 148 可包括本发明的相关算术运算电路。这些单元的每个具有比常规的电路少的元件数,特别是,可以为传感器象素间距。这个结构根据从传感器输出的模拟信号执行算术运算。但是,当本发明的 A/D 转换器被设置在每个行存储器和输出总线线路之间时,一个数字相关算术运算毫无疑问可被实现。

本发明的传感器元件包括一个双极晶体管。但是,本发明也适用于一个 MOS 晶体管或者只用于一个光电二极管,而不设置任何放大晶体管。

此外,这个实施例在不同时间不同数据串之间执行一个相关算术运算。另外,当多个要识别的图形数据的 X—和 Y—投射结果被存储在一个存储器中时,图形识别被实现。

如上所述，当本发明的象素输入单元和相关算术运算电路或者类似电路被结合时，下列的效果是被期待的。

(1) 由于从传感器被并行地和同时地读取的数据被进行与从传感器中逐次读取数据的常规的处理不同的并行地处理，高速的运动检测和图形识别被实现。

(2) 由于包括一个传感器的一个单片半导体器件能被构成，图象处理可被实现而无需增加周边电路的规格，可以低成本地实现下列高级功能的产品：(a)一个控制设备用于旋转电视屏幕使其朝向使用者方向，(b)一个控制设备用于调节空气调节器的风向朝向使用者方向，(c)用于 8-mm VTR 摄像机的跟踪控制设备，(d) 在一个工厂中的标签识别设备，(e) 能自动地识别人的机器人，(f) 用于车辆的车间距离控制器。

本发明的输入单元和电路图象的集成化已经被叙述。本发明不仅适用于图象数据，而且也可用于例如，音频数据的识别处理。

如上所述，根据本发明，由于一个用于执行多个可变信号的并行算术运算的电路可通过用比一个常规的逻辑电路少的晶体管构成，并对一个微弱的信号具有高灵敏度，高速度算术运算和低功耗可被达到。

由于具有同样的绝对值只是极性相反的信号可在差分输入/输出型读出放大器的差分输入端被写入，读出系统的差分增益可被增加，并且超高灵敏度检测可被实现。由此，并行处理操作的数目可被增加，并且每周期的算术运算数目可被增加。由于差分输入/输出型读出放大器能通过 MOS 晶体管被构成，一个小的电路规模，一个小小的处理级，，和高速的处理能被达到，因为一个多输入级也

可通过 MOS 晶体管被构成。

而且，当差分输入/输出型读出放大器包括一个锁存型读出放大器时，读出放大器本身有一个存储功能，并可输出反相的和非反相的信号。由此，没有噪声混合的高精度数据可以被传送，当本发明的半导体器件被相互串联连接时，多输入级的结构可被进一步简化。

当本发明的半导体器件被用于择多电路，A/D 或者 D/A 转换器，和一个信号处理系统时，这样的一个单元或者系统能由具有一个小的物理结构和一个小的电路规模的芯片构成。因而，连接线路的数目可被减少，外部噪声的混可被去除，高速度算术运算处理能被实现。

本发明不限于上述的实施例，在本发明的范围内可以有各种变化和改变。

表 1

输入	S3	S2	S1
0/7	0	0	0
1/7	0	0	1
2/7	0	1	0
3/7	0	1	1
4/7	1	0	0
5/7	1	0	1
6/7	1	1	0
7/7	1	1	1

表 2

模拟输入电压	S3	S2	S1
0.0 ≤ VA < 0.625	0	0	0
0.625 ≤ VA < 1.25	0	0	1
1.25 ≤ VA < 1.875	0	1	0
1.875 ≤ VA < 2.5	0	1	1
2.5 ≤ VA < 3.125	1	0	0
3.125 ≤ VA < 3.75	1	0	1
3.75 ≤ VA < 4.375	1	1	0
4.375 ≤ VA < 5.0	1	1	1

说 明 书 附 图

图 1

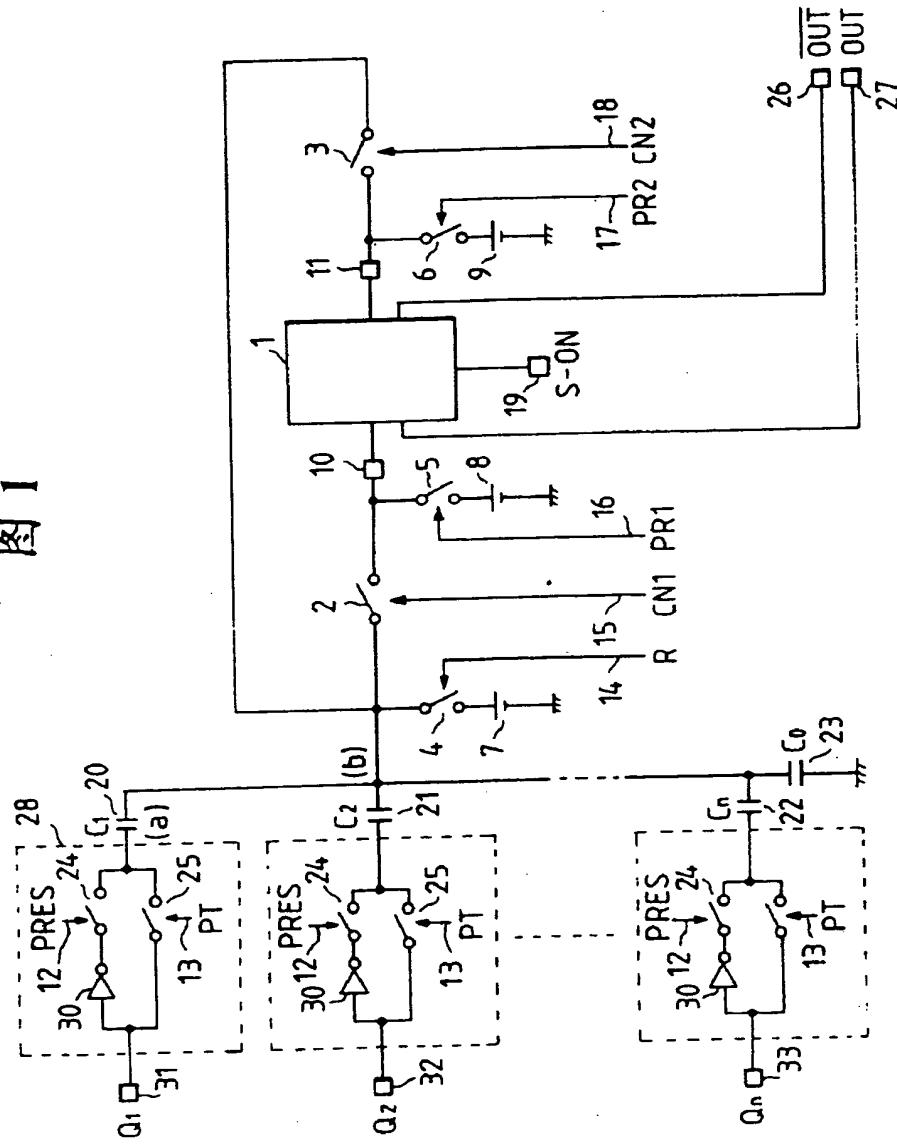


图 2

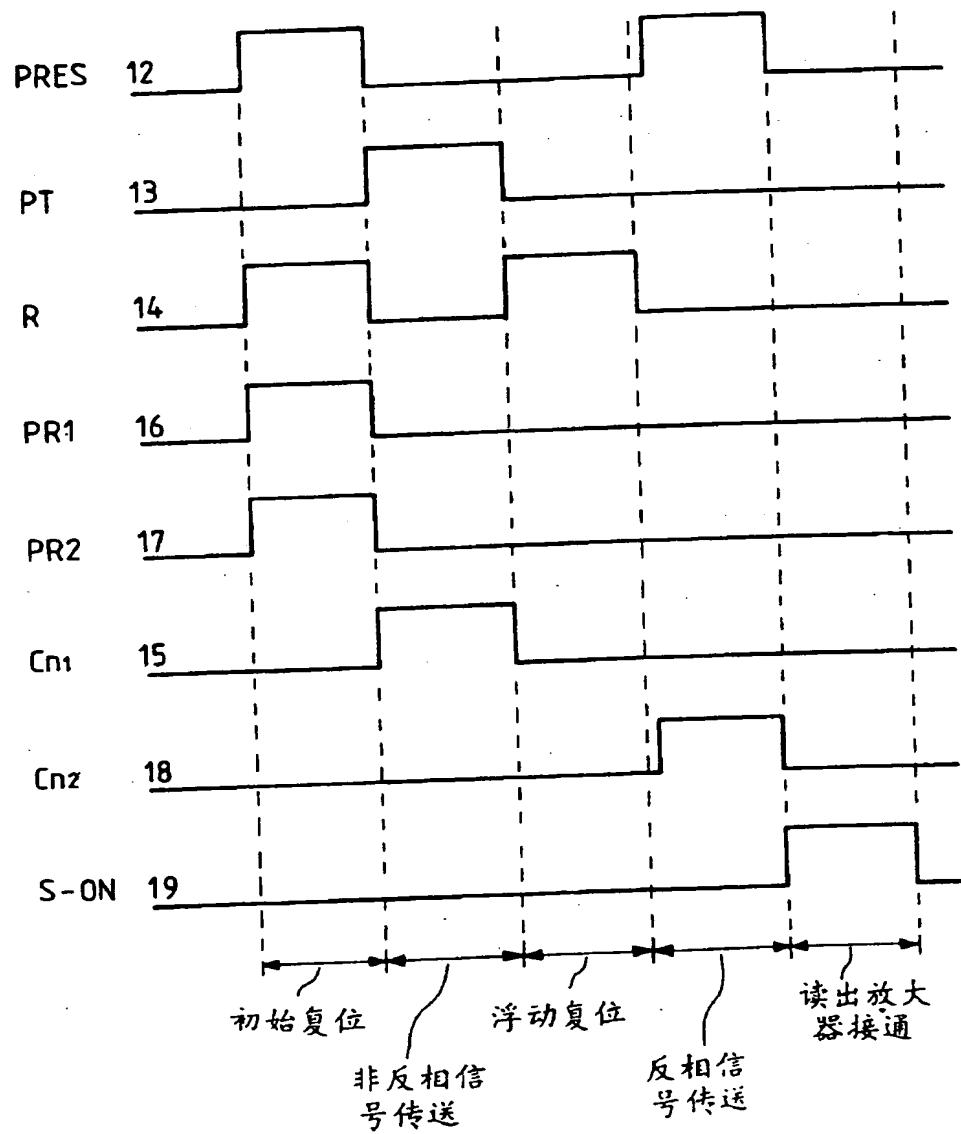


图 3

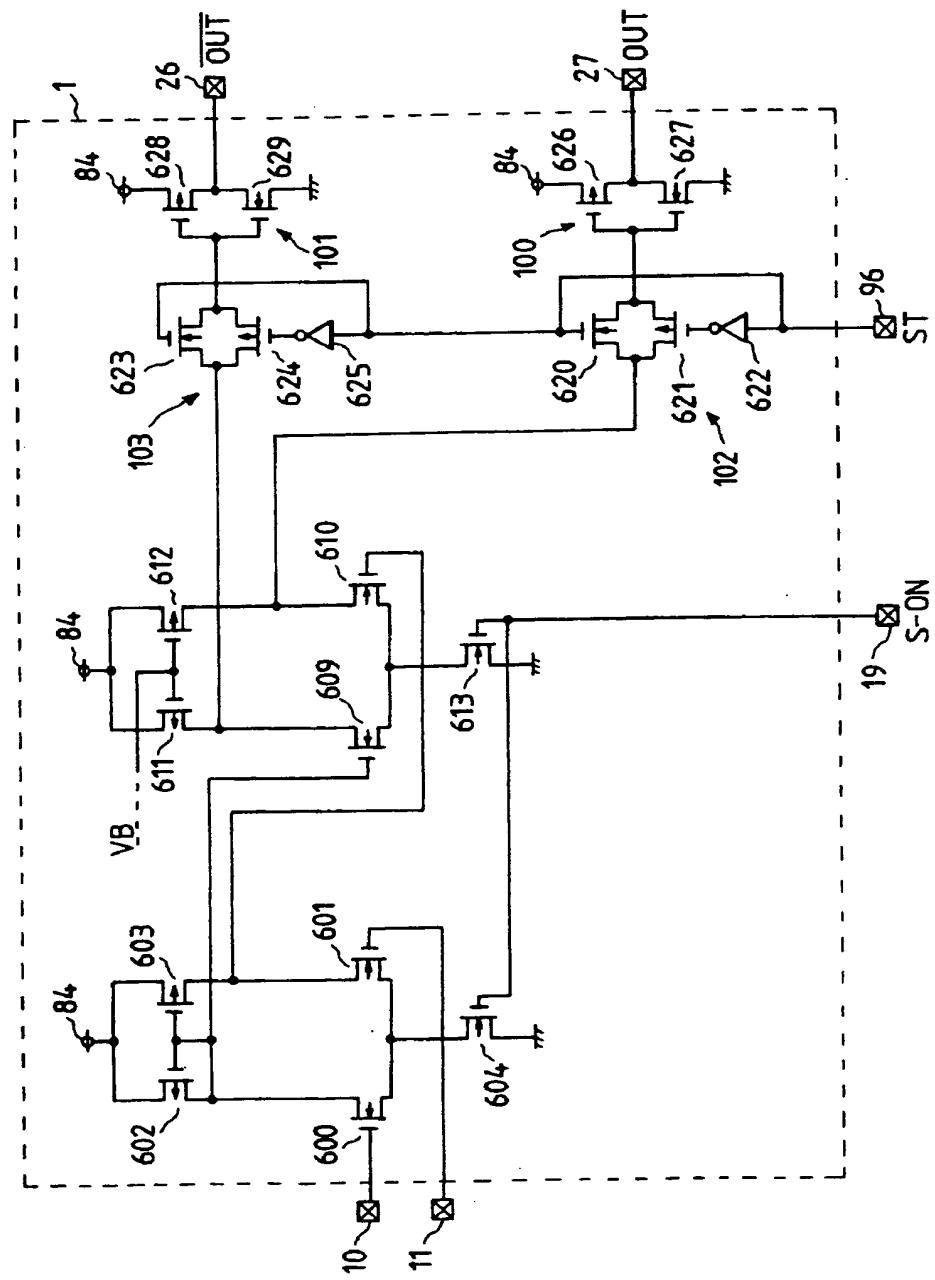


图 4

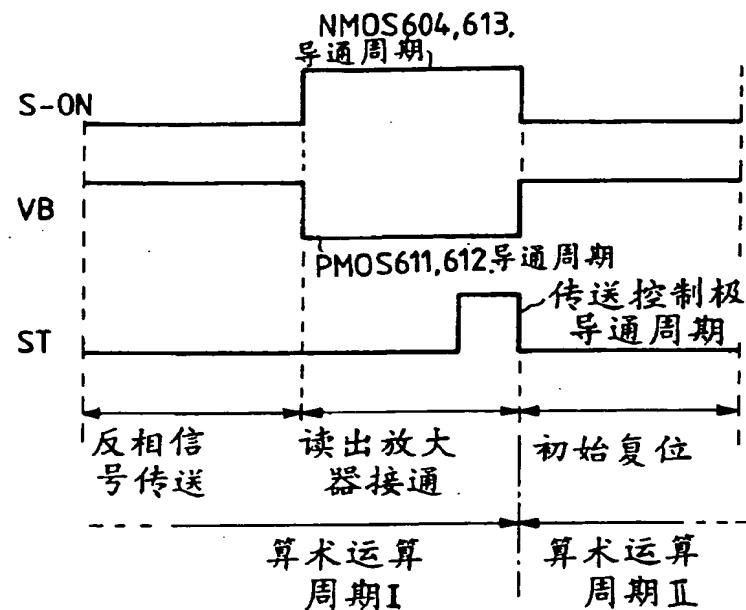


图 7

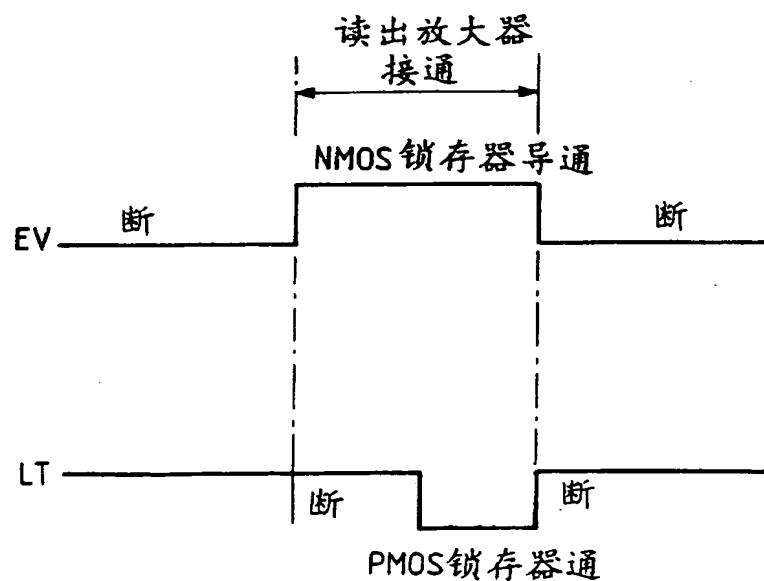
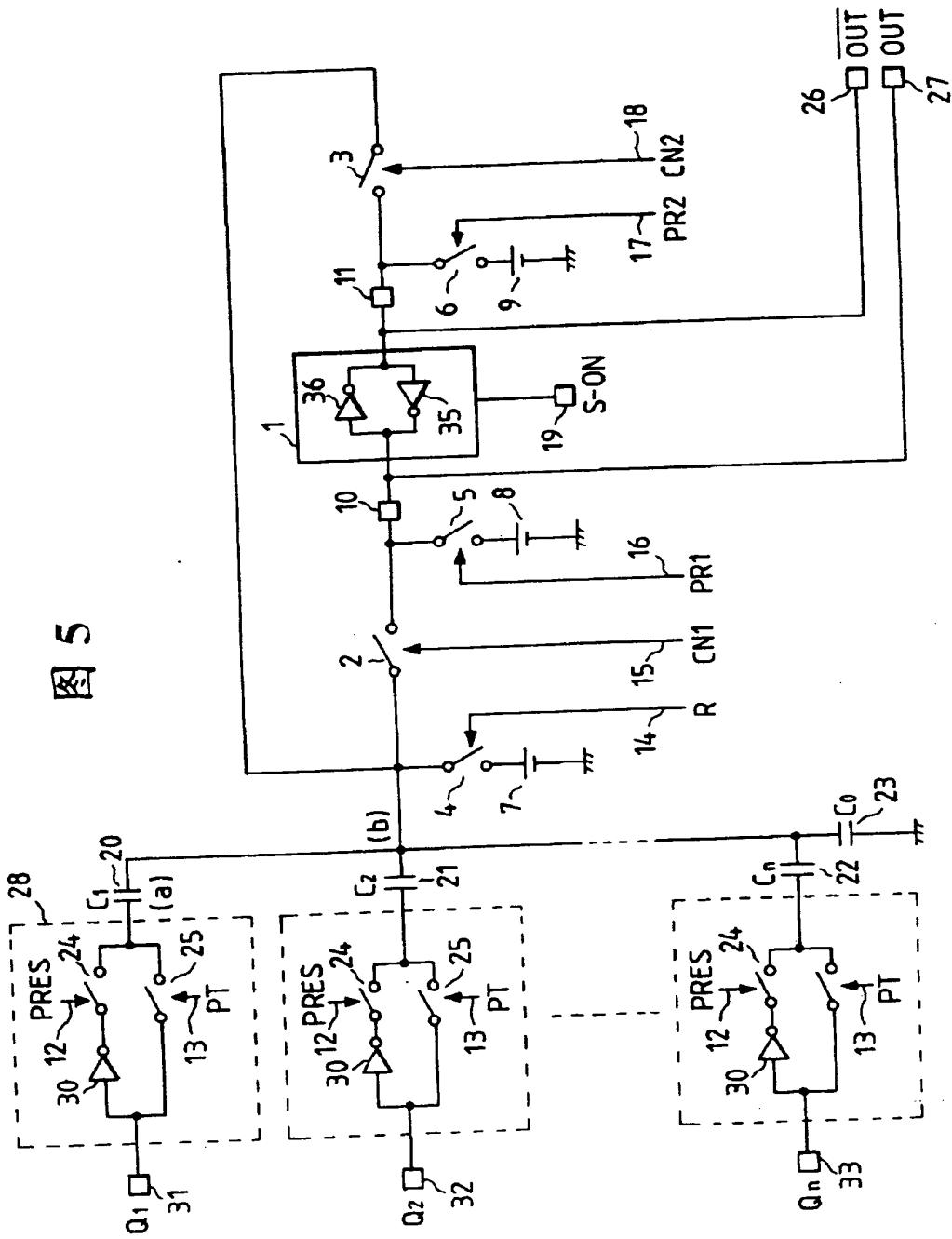


图 5



6
四

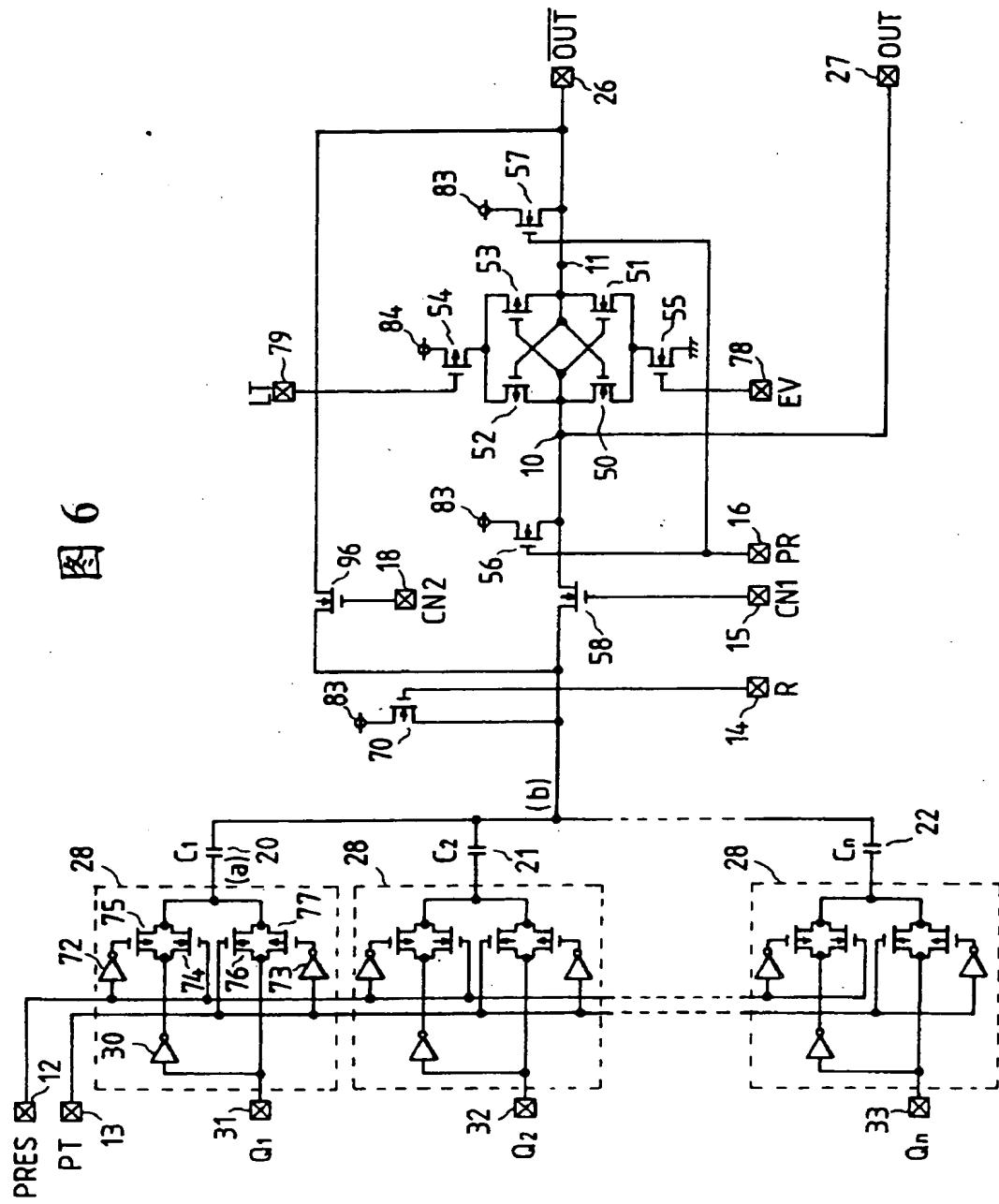


图 8

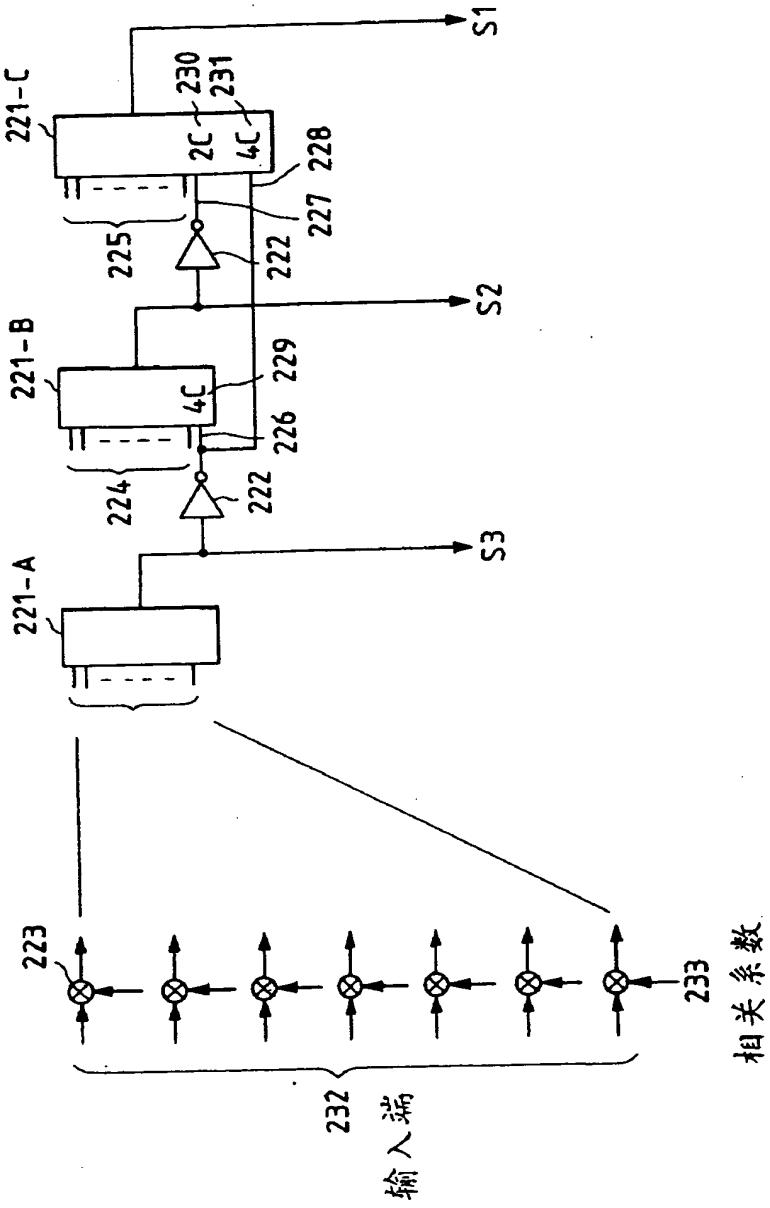


图 9

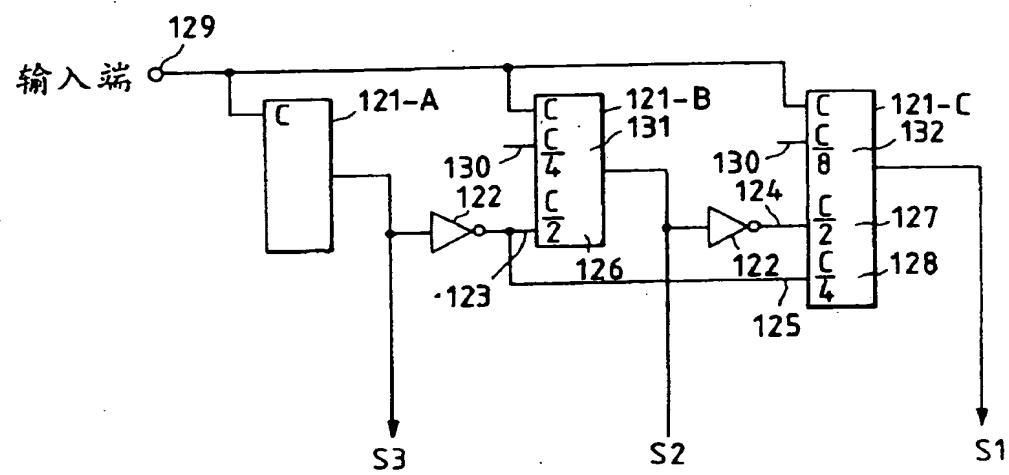


图 10

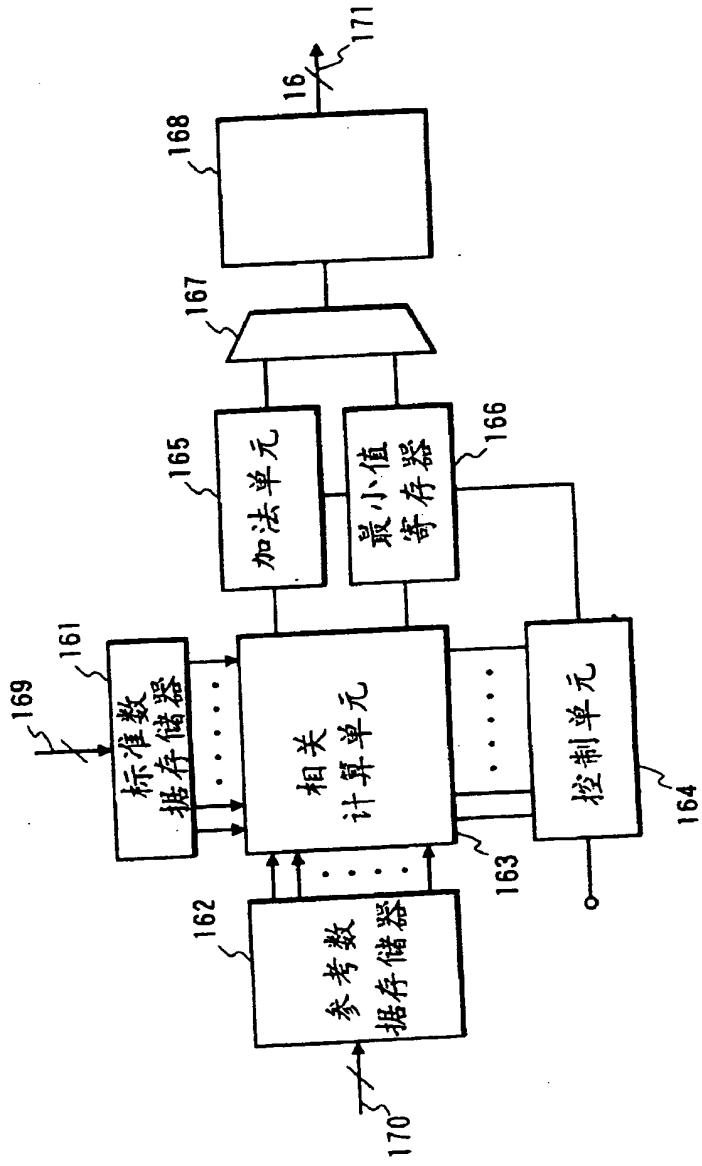


图 11A

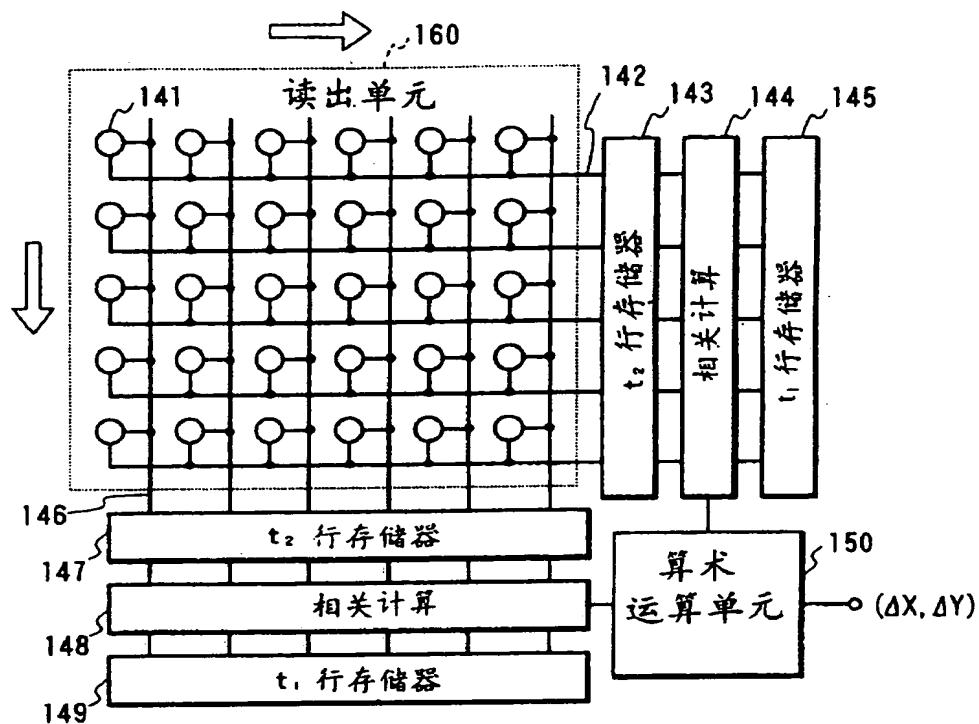


图 11B

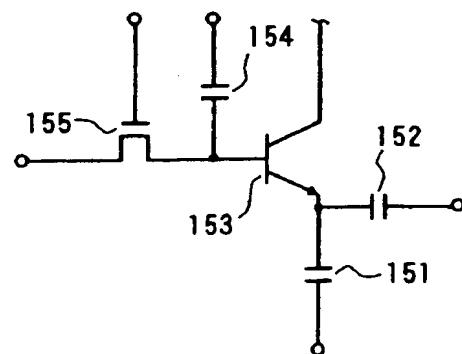
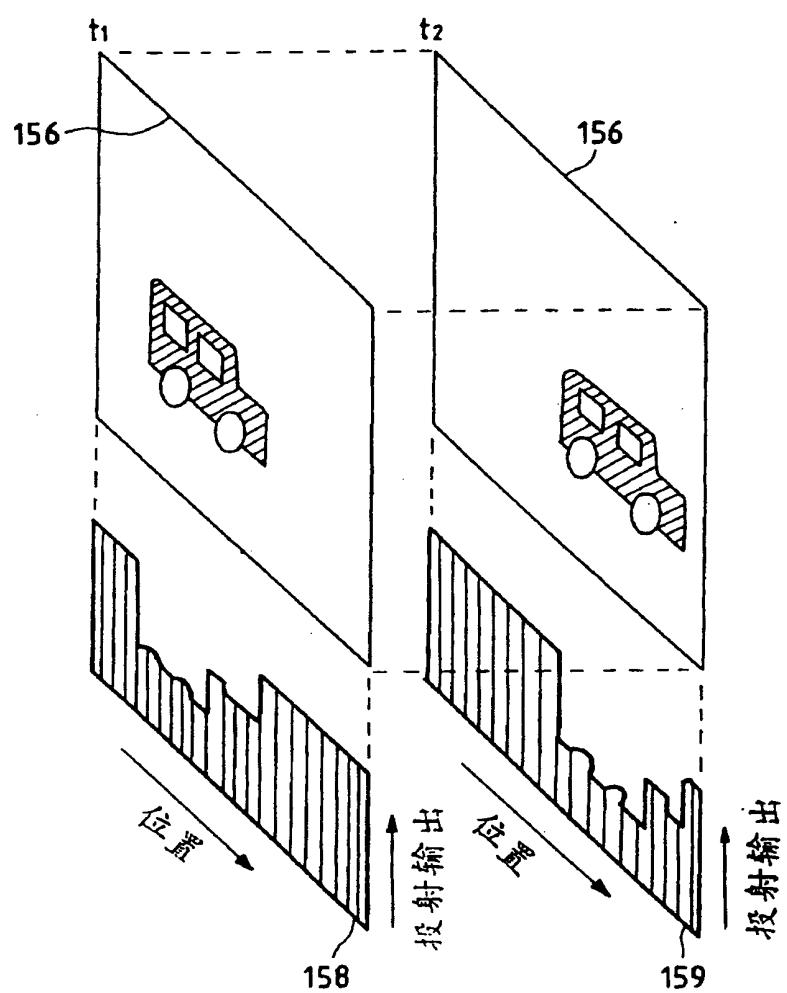


图 11C



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G06J 1/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0191451
(24) 등록일자 1999년01월25일

(21) 출원번호	10-1996-0002038	(65) 공개번호	특 1996-0030403
(22) 출원일자	1996년01월30일	(43) 공개일자	1996년08월17일
(30) 우선권주장	95-014093 1995년01월31일 일본(JP) 95-14093 1995년01월31일 일본(JP)		
(73) 특허권자	캐논 가부시키가이샤 미따라이 하지메		
(72) 발명자	일본 도쿄도 오오따꾸 시모마루꼬 3쪽에 30방 2고 오가와 가쓰히사		
(74) 대리인	구영창, 장수길, 주성민		

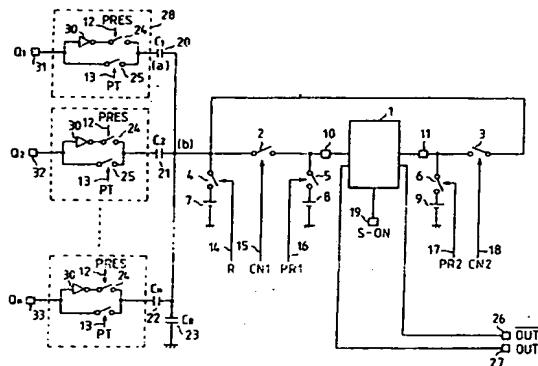
설사관 : 김세영

(54) 반도체 장치, 이 장치를 갖는 반도체 회로, 상관연산장치, 신호변환기 및 신호처리시스템

요약

캐패시터 수단의 한 단자들은 입력 신호의 정 또는 부 논리를 선택할 수 있는 제1스위치 수단을 거쳐 다른 입력 단자들에 접속되며, 캐패시터의 다른 단자들은 제2스위치를 거쳐 차동 입력/출력형 센스 증폭기의 제1차동 입력에 공통으로 접속된다. 캐패시터들의 공통 접속부는 차동 입력/출력형 센스 증폭기의 제2차동 입력에 접속되어, 제2차동 입력은 제1차동 입력의 극성에 반대되는 극성을 가져, 비트 수 증가에 기인한 회로 규모 증가를 억제하고 고속 산술 동작을 가능하게 한다.

대표도



영세서

[발명의 명칭]

반도체 장치, 이 장치를 갖는 반도체 회로, 상관 연산 장치, 신호 변환기 및 신호 처리 시스템

[도면의 간단한 설명]

제1도는 본 발명에 따른 회로 구성의 예를 설명하는 개략적인 회로도.

제2도는 제1도에 도시한 회로의 구동 타이밍의 예를 설명하는 타이밍 차트.

제3도는 차동 입력/출력형 센스 증폭기의 예를 설명하는 회로도.

제4도는 차동 입력/출력형 센스 증폭기의 동작 예를 설명하는 타이밍 차트.

제5도는 본 발명에 의한 제2실시예의 구성을 도시한 회로 블록도.

제6도는 본 발명에 의한 제3실시예의 구성을 도시한 회로 블록도.

제7도는 제6도에 도시한 래치형 센스 증폭기가 온일 때의 동작의 예를 설명하는 타이밍 차트.

제8도는 상관 연산 동작 회로에 본 발명을 적용한 예를 설명하는 회로도.

제9도는 A/D 변환기에 본 발명을 적용한 예를 설명하는 회로도.

제10도는 예를 설명하는 를 봄도.

제11 그림은 아인저 철학을 수학화한 예시이다.

제 114조는 아버지나 자녀를 주제로 한 글입니다.

그는 이러한 학과의 사상·동작 내용의 예를 설명하는 도면,

드먼의 주요 부분에 대한 평가는 설명

- * 주제의 주요 주제에 대한 기본적인 설명

 - 1 : 차동 입력/출력형 센스 증폭기
 - 3 : 제2신호 전송 스위치
 - 5 : 제2리세트 스위치
 - 7 : 제1리세트 전압원
 - 9 : 제2리세트 전원
 - 11 : 제2입력 단자
 - 13 : 전송 제어 신호
 - 20-22, 126, 127, 128, 229, 230, 231 : 캐패시터
 - 24 : 제1신호 리세트 스위치
 - 26 : 반전 출력 단자
 - 28 : 리세트 스위치 입력 블록
 - 30, 72, 100, 101, 122, 222, 622, 625 : 인버터
 - 31-33(Q_1-Q_n) : 입력 신호
 - 102, 103 : 전송 케이트
 - 141 : 수광부
 - 144, 148 : 상관 연산 유닛
 - 151, 152 : 결합 캐패시터 수단
 - 154 : 캐패시터 수단
 - 160 : 이미지 데이터 센싱 유닛
 - 163 : 상관 연산 유닛
 - 165 : 가산 유닛
 - 167 : 비교 기억 유닛
 - V_B : 전압원
 - 2 : 제1신호 전송 스위치
 - 4 : 제1리세트 스위치
 - 6 : 제3리세트 스위치
 - 8 : 제2리세트 전압원
 - 10 : 제1입력 단자
 - 12, 14-19 : 제어 신호
 - 25 : 신호 전송 스위치
 - 27 : 비반전 출력 단자
 - 84 : 전원
 - 121-A, 121-B, 121-C : 산술 동작 블록
 - 143, 145, 147, 149 : 라인 메모리
 - 150 : 산술 동작 출력 유닛
 - 153 : 바이 플라 트랜지스터
 - 155 : 스위치 MOS 트랜지스터
 - 161, 162 : 메모리
 - 164 : 제어 유닛
 - 166 : 레지스터
 - 223 : 비교기

221-A, 221-B, 221-C : 다수결 산술 동작 회로 블록

50, 51, 55, 56, 57, 58, 70, 74, 76, 96 : NMOS 트랜지스터

600, 601, 604, 609, 610, 613, 620, 623, 626, 628 : NMOS 트랜지스터

52. 53. 54. 75. 77. 602. 603. 611. 612. 621. 624. 627. 629 : PMOS 트랜지스터

[방법의 산비화 설명]

[설명과 사용은 같다]
본 발명은 반도체 장치, 이를 구비한 회로 및 상관 연산장치, 신호 변환기 및 이 회로를 이용한 신호 처리 시스템에 관한 것으로, 특히 병렬 신호 처리를 행하는 반도체 장치 및 이를 사용한 회로, 상관 연산장치, A/D(아날로그-디지털)변환기 또는 D/A(디지털-아날로그)변환기를 포함하는 신호 변환기, 및 이 회로를 사용한 신호 처리 시스템에 관한 것이다.

최근, 신호 처리 속도가 증가함에 따라, 대량의 데이터를 고속으로 처리할 수 있는 산술 동작 장치를 저 koscost로 실현하는 것이 중요하게 되었다. 이를 장치 중에서, 동화상의 움직임 검출에 사용되는 상관 장치, 고정밀 아날로그-디지털 및 디지털-아날로그 변환기 등에 대해서 이러한 요구가 더 강하다.

스펙트럼 확산(SS) 통신 등의 기술은 경우에 따라서는 GHz 정도의 고속으로 다입력 신호 처리를 필요로 하기 때문에, 처리 속도 및 정밀도를 더 증가시키는 것에 더하여 대량의 데이터의 병렬 처리에 대한 요구가 더욱 강해지고 있다.

종래 이러한 기능을 반도체 접착 회로로 실현하는 경우에는 고속으로 산술 동작 처리하기 위해서, 복수의 반도체 칩을 사용하여 별별 산술 동작을 달성했다.

그러나, 복수의 반도체 칩을 사용하게 되면 회로 면적이 증가되는 결과가 되기 때문에, 최신의 마이크로 팬더닉 툴을 사용하여 회로를 1칩으로 실현하려는 시도가 행해졌다.

이러한 시도에도 불구하고, 종래의 회로 장치는 기본적으로 대형 회로 규모를 갖기 때문에, 최신의 마이크로 패드나 툴을 사용하여도 회로 규모를 필요로 하여, 단일 칩으로 회로 집적화하는 데 어려움이

따른다.

처리해야 할 신호의 비트 수가 증가하면 급격히 회로 규모가 증대해버리는 것으로 알려져 있다. 예를 들면, 회로 규모는 산술 동작 비트수의 2승에 비례하여 증대한다.

따라서, 비트 수의 증대와 동시에 장치의 제조 코스트가 증가하여, 장치는 바람직하지 않게 실제적으로 실현 불가능한 회로 규모를 갖는다. 예를 들면, 동화상의 암축/신장의 방식으로 제안되어 있는 MPEG2 방식의 움직임 블록 검출은 아직 1침화로 집적화되어 있지 않다.

본 발명은 상기한 상황을 고려하여 된 것으로, 본 발명의 목적은 병렬 처리를 달성할 수 있고, 데이터, 특히 대량의 데이터를 고정밀도 및 고속으로 처리할 수 있는 반도체 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 고속 산술 동작을 달성할 수 있는 저 코스트 반도체 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 산술 동작 처리에 필요한 비트 수가 증가하더라도 회로 규모가 극도로 증가하는 것을 방지할 수 있는 반도체 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 저소비 전력으로 산술 동작 처리를 달성할 수 있는 반도체 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 캐퍼시터 수단의 일 단자들이 입력 신호의 정 또는 부 논리를 선택할 수 있는 제1스위치를 통해 다입력 단자들에 접속되며, 캐퍼시터 수단의 다른 단자들은 제2스위치 수단을 거쳐 차동 입력/출력형 센스 증폭기의 제1차동 입력 유닛에 공통으로 접속되며, 캐퍼시터의 공통으로 접속된 부분은 제3스위치를 통해 차동 입력/출력형 센스 증폭기의 제2차동 입력 유닛에 접속되며, 상기 제2차동 입력 유닛은 상기 제1차동 입력 유닛의 극성과 반대되는 극성을 갖는 반도체 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 상관 연산 장치, A/D 및 D/A 변환기들을 포함하는 신호 변환기 및 신호 처리 시스템 등의 반도체 장치를 갖는 회로를 제공하는 것이다.

본 발명에 따라서, 상이한 극성을 갖는 신호들과 차동 입력/출력형 센스 증폭기간 전위차를 이용하여, 고정밀 처리가 실현될 수 있다.

보다 상세히, 본 발명에 따라서, 입력 신호의 정/부 논리를 선택할 수 있는 제1스위치 수단은 다입력 단자들에 배열되어며, 캐퍼시터 수단은 제1스위치 수단을 거쳐 접속되며, 캐퍼시터 수단 각각의 한 단자는 제2스위치 수단을 통해 차동 입력/출력형 센스 증폭기의 제1차동 입력 수단에 공통으로 접속되며, 또한 상기 공통 접속부는 제3스위치 수단을 통해 상기 차동 입력/출력형 센스 증폭기의 제2차동 입력 수단에 접속되며, 상기 제2차동 입력 수단은 제1차동 입력 수단의 구성을 반전하여 얻어진 극성을 가지며, 이에 의해서 입력 전위차에 따른 극성을 갖는 논리 진폭 차동 출력할 수 있는 반도체 장치를 실현하여, 상기 언급한 목적들을 달성할 수 있다.

상기 반도체 장치에 있어서, 상기 캐퍼시터 수단을 거쳐 상기 다입력 캐퍼시터 수단의 공통 접속부에 나타나는 정 및 부 논리의 신호 변화분(절대치는 동일하나 극성이 반전되어 있는)을 상기 제2 및 제3스위치 수단을 거쳐 상기 차동 입력/출력형 센스 증폭기의 상기 제1차동 입력과 상기 제2차동 입력 단에 기입하여, 상기 차동 입력/출력형 센스 증폭기를 온합으로써 고정밀, 고속으로 병렬 산술 동작 처리를 달성하여, 회로 규모의 축소 및 소비 전력을 저감시킨다.

고감도(sensitivity)가 얻어지기 때문에, 병렬 다입력 신호수를 (예를 들면 50내지 수백개의 입력수) 증가시킬 수 있어, 사이클당 병렬 처리 단(stage)수를 증가시킬 수 있고, 시스템 전체의 고속화를 실현할 수 있다.

반도체 회로는 상기 기술한 바와 같이 반도체 장치를 복수개 갖추어, 복수개 반도체 장치 중에서 제1상기 반도체 장치의 출력 및 또는 상기 반도체 장치 출력의 반전 출력을 제2반도체 장치에 입력하는 즉, 다수 결(majority) 회로의 종속 접속에 의해서, 여러 기능의 산술 동작을 간단한 구성으로 실현하고 있다.

더욱이, 반도체 장치를 사용한 반도체 회로에 있어서, 상기 다입력 단자에 대응한 캐퍼시터 수단 중 최소의 용량을 C라 할 때, 공통 접속되는 캐퍼시터 수단의 용량들의 전체 용량값은 용량 C의 거의 기수배, 즉 정확하게 또는 대강 기수배로 설정되어, 복수단의 다수결 회로를 사용하므로, 소수의 단을 갖는 간단한 구성의 3비트 2진 회로들이 고밀도로 집적화된 집적 회로를 달성할 수 있다.

본 발명의 반도체 장치를 사용하여, 다입력 단자의 입력을 상관 산술 동작하는 상관 연산 장치, 반도체 장치에 아날로그 신호를 입력하여, 이 아날로그 신호에 대응한 디지털 신호를 출력하는 A/D 변환기 및 상기 반도체 장치에 디지털 신호를 입력하여 이 디지털 신호에 대응한 아날로그 신호를 출력하는 D/A 변환기 등의 신호 변환기, 산술 동작 장치 및 A/D 변환기 및 D/A 변환기 등의 신호 변환기 중 적어도 하나를 포함하는 신호 처리 시스템 및 등을을 실현할 수 있다. 본 발명에 따라서, 어떤 경우라도 정확한 신호 전달, 소형 회로 규모 및 고속 처리를 달성할 수 있고, 사용범위가 넓은 장치, 변환기 또는 신호 처리 시스템을 실현할 수 있다. 더욱이 이러한 시스템은 이미지 신호를 입력하는 이미지 입력 장치 및 정보를 기억하는 기억장치를 포함할 수 있으며, 따라서 시스템의 응용 범위를 더욱 확장할 수 있다.

[실시예 1]

제1도는 본 발명에 의한 실시예 1에 따른 회로도를 도시한 것이다. 제1도에 있어서, 차동 입력/출력 형식의 센스 증폭기(1)는 제1입력 단자(10)(+입력 단자) 및 제2입력 단자(11)(-입력 단자)를 갖는다. 물론, 제1입력 단자(10)를 -입력 단자, 제2입력 단자(11)를 +입력 단자로 하여도 된다. 증폭기(1)는 반전 출력 단자(26) 및 비반전 출력 단자(27)를 갖는다. 차동 입력/출력형 센스 증폭기(1)가 RS 플립 플롭형 래치 차동 센스 증폭기인 경우, 입력 및 출력 단을 공통으로 사용하기 때문에, 제1입력 단자(10)와 비반전 출력 단자(27)는 공통으로 접속되며, 제2입력 단자(11)와 반전 출력 단자(26)가 공통 접속으로 된다. 이 증폭기의 동작에 관하여는 제5도를 참조하여 후술한다. 차동 입력/출력형 센스 증폭기(1)는 제어 신호(S-ON)에 의해서 온/오프-제어된다.

한편, 입력에서의 n개의 병렬 다입력 신호(31, 32, ..., 33)를 입력 신호(Q_1 , ..., Q_n)로 한다. n개의 입력 신호는 각각 리세트 스위치 입력 블록(28)에 입력된다. 입력 신호(Q_i)를 예로 하여 리세트 스위치 입력 블록(28)의 동작을 설명한다. 입력 신호(Q_i)는 인버터(30)를 거쳐 논리적으로 반전되며, 이 반전된 신호는 제1신호 리세트 스위치(24)를 거쳐 캐패시터($C_1:20$)에 입력되어, 제1신호 리세트 스위치(24)가 터온될 때, 캐패시터($C_1:20$)의 입력 단자(a)를 입력 신호(Q_i)에 논리적으로 리세트시킨다. 신호 리세트 스위치(24)는 신호(PRES:12)에 의해서 제어된다. 한편, 입력 신호(Q_i)는 인버터(30)을 거치지 않고 신호 전송 스위치(25)를 통해, 캐패시터(C_1)에 전송된다. 신호 전송 스위치(25)는 전송 제어 신호(PT:13)에 의해서 제어된다.

입력 신호와, 캐패시터들의 공통 접속 단자의 플로팅 노드(b) 점에 나타나는 신호는 다음의 관계가 있을에 유의한다. 지금 n개의 입력신호를 Q_1-Q_n , 및 각각의 리세트 스위치 입력 블록(28)에 접속된 입력 캐패시터를 C_1-C_n 으로 하고, 리세트 스위치(24)가 온한 초기 상태로부터의 입력 신호(Q_1-Q_n)에 의한 전위 변화량을 $\Delta V_1-\Delta V_n$, 플로팅 노드(b)의 전위 변화량을 ΔV_f 로 하면, 플로팅 노드(b)의 전하의 총합은 신호 입력 전후에서 변화하지 않으며(전하 보전의 법칙), 다음의 식(1)로 표시된다.

$$C_1(\Delta V_1 - \Delta V_f) + C_2(\Delta V_2 - \Delta V_f) + \dots + C_n(\Delta V_n - \Delta V_f) = C_0 \Delta V_f \quad \dots \dots (1)$$

단, C_0 은 플로팅 노드(b)의 기생 캐패시터(23) 등이다.

상식을 변형하면, 다음의 식(2)와 같다.

$$\Delta V_f = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [V] \quad \dots \dots (2)$$

즉, C_x 로 가중된 각 단자의 전위 변화의 선형 합을 플로팅 노드(b)의 전위 변화로서 출력한다. 입력 신호(Q_1-Q_n)은 아날로그 신호 또는 디지털 신호이어도 가능하다. 아날로그 신호의 경우, 각 단자의 입력의 크기를 가중시켜 검출하는 뉴론 소자로서 회로를 사용할 수도 있다. 또한 디지털 신호의 경우, 입력 신호 중 H 레벨 신호와 L 레벨 신호의 수를 비교하는 다수결 논리 회로를 구성할 수 있다. 제1리세트 스위치(4)는 플로팅 노드(b)를 제1리세트 전압원(7)의 전위로 리세트하기 위한 리세트 수단이며, 제어 신호(R:14)로 제어된다. 제2리세트 스위치(5)는 제2리세트 전압원(8)의 전위로 차동 입력/출력형 센스 증폭기(1)의 입력 단자(10)를 초기 리세트하기 위한 리세트 수단이며, 제어 신호(PR1)으로 제어된다. 제3리세트 스위치(6)는 제2리세트 전원(9)의 전압에 입력 단자(11)를 리세트하기 위한 리세트 수단으로서, 제어 신호(PR2)로 제어된다. 제1신호 전송 스위치(2)는 입력 산술 동작에 의한 플로팅 노드(b)의 결과를 차동 입력/출력형 센스 증폭기(1)의 입력 단자(10)로 전송하는 스위치로, 제어 신호(15:CN1)로 제어된다. 제2신호 전송 스위치(3)은 입력 산술 동작에 의한 플로팅 노드(b)의 결과를 차동 입력/출력형 센스 증폭기(1)의 입력 단자(11)에 전송하는 스위치로, 제어 신호(18:CN2)로 제어된다.

제2도는 제1도에 도시한 본 실시예의 회로의 동작 타이밍 설명도이다. 제2도를 사용하여 본 실시예의 동작을 설명한다.

입력 단자에 인가된 신호의 논리는 인버터(30)를 통하여 반전한 상태에서, 제어 신호(12:PRES)가 온 상태로 되어 있기 때문에, 신호 리세트 스위치(24)를 통하여 n개의 캐패시터(C_1, C_2, \dots, C_n)의 입력 단자(a)는 n개의 입력 신호(Q_1, Q_2, \dots, Q_n)의 반전 논리 전위($Q_1:반전, Q_2:반전, \dots, Q_n:반전$) 값으로 리세트된다. 이 때 거의 동시에 제어 신호(14:R)에 의해 제1리세트 스위치(4)가 온하여, 캐패시터의 공통 단자인 플로팅 노드(b)가 제1리세트 전위(7)로 리세트 된다. 또한 제어 신호(PR1, PR2)에 의해 제2 및 제3리세트 스위치(5, 6)가 온되어, 차동 입력/출력형 센스 증폭기의 입력 단자(10, 11)가 각각 제2 및 제3리세트 전위(8 및 9)로 리세트 된다. 이를 리세트 전위(7, 8 및 9)는 전원 전압이 5V 시스템인 경우, 이의 반인 2.5V를 사용하는 것이 좋다. 그러나, 리세트 전위는 이를로 제한되는 것이 아니며 다른 전압이 어도 좋다. 제1리세트 전위(7)는 제2 및 제3리세트 전위(8 및 9)와 항상 동일 전압일 필요 없이 서로 다른게 되어 있을 수도 있다. 어떤 경우에, 제2리세트 전위(8)와 제3리세트 전위(9)는 차동 입력/출력형 센스 증폭기(1)의 입력 오프셋 전압에 대응하는 전압만큼 역방향으로 오프셋되어 차동 입력/출력형 센스 증폭기(1)의 오프셋분을 상쇄하는 DC 전위로 되어 있는 경우도 있다.

이와 같이 하여, 각 캐패시터의 양단 및 차동 입력/출력형 센스 증폭기(1)의 양단을 리세트하는 기간을 제2도에서 초기 리세트 기간으로 한다. 각 노드가 리세트 전위에 도달한 시점에서, 리세트 스위치(24, 4, 5, 6)은 오프하고, 각 캐패시터의 양단 및 차동 입력/출력형 센스 증폭기(1)의 전위는 리세트 전위로 유지된다.

신호 전송 펄스(PT)가 온될 때, 신호 전송 스위치(25)가 터온하여, n개의 캐패시터(C_1, C_2, \dots, C_n)으로 비반전 신호(Q_1, Q_2, \dots, Q_n)이 일괄 전송된다. 전원 전압이 5V 시스템이며, 입력 신호가 L 레벨에서

0V, H 레벨에서 5V(=전압)의 2진 신호로 하면, 초기의 리세트 전위와 신호간의 차전압은 이 때에 신호 변화분으로서 5V까지 얻을 수 있어, 전원 전압과 동등한 전위변화를 얻을 수 있다. 따라서, 플로팅 노드(b)의 전위 변화분은 식(2)에 통하여 증가된다. 이 때의 플로팅 노드(b)의 전위 변화는 다음의 식(3)과 같이 된다.

$$\Delta V_f(\text{비반전}) = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots \quad (3)$$

상기 식에서 ΔV_x 값은 -5V(5V 리세트 전위→입력 신호가 0V일 때) 또는 +5V(0V 리세트 전위→입력 신호가 5V일 때)이며, C_0 는 플로팅 점(b)의 기생 용량 등이다.

다음에, 제어 신호(15:CN1)가 온으로 되어 있으므로, 입력 신호의 변화시 플로팅 노드(b)의 전위변동(ΔV_f)(비반전)은 제1신호 전송 스위치(2)를 통하여 차동 입력/출력형 센스 증폭기(1)의 입력 단자(10)로 전송된다. 입력 단자(10)의 전위가 제2리세트 전위(8)보다 ΔV_f (비반전)만큼만 변화한 때, 제어 신호(CN1)을 오프하여, 그 값을 유지한다. 제2도에는 이 기간이 비반전 신호 전송 신호 기간에 상응한다.

캐패시터의 공통 단자인 플로팅 노드(b)를 제어 신호(R)에 의해 제1리세트 스위치(4)를 통하여 다시 제1리세트 전위(7)로 리세트시킨다. 제2도에서 이 기간은 플로팅 리세트 기간이다.

이 때, n개의 캐패시터(C_1, C_2, \dots, C_n)의 입력 단자(a)는 입력 신호의 비반전 논리, 즉 비반전 신호(Q_1, Q_2, \dots, Q_n)에 의해서 리세트된다. 이 상태에서, 제어 신호(12:PRES)를 온함에 의해서, 제1신호 리세트 스위치(24)를 온하여, 입력 단자(a)는 인버터(30)를 통하여 입력 신호(Q_1, Q_2, \dots, Q_n)의 반전 논리 전위(Q_1 :반전, Q_2 :반전, ..., Q_n :반전)의 값으로 다시 리세트 된다. 이렇게 하여 신호의 반전 논리를 입력 신호로서 캐패시터(C_1, C_2, \dots, C_n)으로 전송하여, 플로팅 노드(b)의 전위 변화를 얻는다. 이 때의 플로팅 노드(b)의 전위 변화분(ΔV_f)(반전)은 식(2)로부터 다음의 식(4)를 얻는다.

$$\Delta V_f(\text{반전}) = \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} [V] \quad \dots \quad (4)$$

제어 신호(CN2)이 온이므로, 플로팅 노드(b)의 전위의 신호 전위 변동(ΔV_f)은 제2신호 전송 스위치(3)를 통하여 차동 입력/출력형 센스 증폭기(1)의 입력 단자(11)로 전송된다. 제3리세트 전위(9)보다 ΔV_f (반전)만큼 단자(11)의 전위가 변화한 때, 제어 신호(CN2)가 오프되어, 그 값을 유지한다. 제2도에 이 기간은 반전 신호 전송 기간이다.

반전 신호 전송 기간이 종료한 시점에서, 차동 입력/출력형 센스 증폭기(1)의 입력 단자(10, 11)에는 식(3) 및 식(4)에서 나타낸 리세트 전위로부터의 변화분이 유지되어 있다. 리세트 전위를 포함하여 입력 단자(10, 11)에 유지되어 있는 전위(V_{IN10}, V_{IN11})은 다음의 식(5) 및 식(6)으로 각각 주어진다.

$$V_{IN10} = V_{RESET8} + \Delta V_f(\text{비반전}) = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots \quad (5)$$

여기서 V_{RESET8} 는 제2리세트 전위(8)에 의해서 결정된 리세트 전위이다.

$$V_{IN11} = V_{RESET9} + \Delta V_f(\text{반전}) = V_{RESET9} + \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \quad \dots \quad (6)$$

여기서 V_{RESET9} 는 제3리세트 전위(9)에 의해서 결정된 리세트 전위이다.

$V_{RESET8}=V_{RESET9}$ 라고 하면, 차동 입력/출력형 센스 증폭기(1)의 차동 입력 전위차(ΔV_{IN})은 다음의 식(7), (8)로 주어진다.

$$\begin{aligned} V_{IN} &= V_{IN10} - V_{IN11} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \\ &\quad - \left(V_{RESET9} + \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \right) \\ &= \frac{\sum_{x=1}^n C_x \Delta V_x - \sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \end{aligned}$$

... (7)

$$\left[\sum_{x=1}^n \Delta V_x \right] \text{ 및 } \left[\sum_{x=1}^n -\Delta V_x \right] \quad \dots \quad (8)$$

상기 식(8)은 선형 합의 동일 절대치를 갖고, 반대 +/- 부호($-\Delta V_x = -\Delta V_x$ (반전))를 갖기 때문에, 식(7)은 다음과 같이 수정될 수 있다.

$$\Delta V_{IN} = \frac{\sum_{x=1}^n C_x \Delta V_x - \sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x}$$

... (9)

이와같이, 전원 전압이 예를 들면, 5V 시스템인 경우, 식(9)의 ΔV_x 는 최대로 5V가 된다. 비반전 논리 신호 전송에 의한 입력 단자(10)의 신호 변화 (ΔV_x) (비반전)과 반전 논리 신호 전송에 의한 입력 단자(11)의 신호 변화 (ΔV_x)(반전)은 차동 입력/출력형 센스 증폭기(1)의 차동 입력에 의해 수신되므로, 이들은 식(9)에 표시한 바와 같이, 일측의 신호 변화의 2배로 된다. 이와 같이 캐패시터 산술 동작의 결과에 의해, 리세트 전위로부터의 전위 변화를 식(9)에 표시한 바와 같이, 차동입력/출력형 센스 증폭기(1)의 앞에서 증가시킬 수 있어, 차동 입력/출력형 센스 증폭기(1)를 정밀하고 고속으로 처리할 수 있다.

다음에 식(9)에 나타난 차동 입력 전위차(ΔV_x)를 차동 입력 단자에 유지한 상태에서 센스 증폭기(1)을 제어 신호(19:S-ON)로 온시킨다. 이 동작으로 큰 차동 입력 전위차(ΔV_x) 수신시, 차동 입력/출력형 센스 증폭기(1)가 인에이블되고, 별별로 산술 동작의 결과를 고정밀 및 고속으로 판정하여, 비반전 출력(OUT:27)과 반전출력(OUT:26)을 차동 출력으로서 다음 단으로 보낸다.

차동 침력/출력형 센스 증폭기(1)의 이득을 높게 취함으로써, 처리할 병렬 신호 수를 증가(50 내지 수백) 시킬 수 있어, 처리 시스템 전체의 산술 동작 속도가 향상된다.

제3도에 차동 입력/출력형 센스 증폭기(1)의 일 구성예를 도시하였다. 제1도와 동일 부호의 것은 동일 기능을 갖는 것이므로, 상세한 설명은 생략한다. 제3도에 있어서, 제1도의 실시예에서 설명한 바와 같이, 초기 리세트 기간로부터 반전 신호 전송 기간까지의 과정을 거쳐, 식(8)에 표시한 차동 전위가 차동 입력/출력형 센스 증폭기(1)의 +입력 단자(11)와 -입력 단자(11)간에 유지되어 있다.

제3도에 있어서, +입력 단자(10)의 전압은 NMOS 트랜지스터(600)의 게이트에 인가되며, -입력 단자(11)의 전압은 NMOS 트랜지스터(601)의 게이트에 인가된다. NMOS 트랜지스터(600 및 601)는 공통 소스 단자를 갖는 차동 쌍으로 되어, 이 소스 단자에는 정전류 동작을 하는 NMOS 트랜지스터(604)의 소스는 GND 전위에 접속되고, 게이트는 NMOS 트랜지스터(613)의 게이트에 공통 접속되어 있다. 공통 접속된 게이트는 제어

신호(19-S-ON)에 접속되어 있다. 제어 신호(19: S-ON)가 액티브로 되었을 때, 정전류원용 NMOS 트랜지스터(604 및 610)가 온하여, 정전류원으로서 작용하며, NMOS 트랜지스터(604)의 드레인에는 NMOS 트랜지스터(600, 601)의 공통 소스 단자가 접속되어 있다.

자동 쌍, 즉 NMOS 트랜지스터(600, 601)가 온한다. 이 상태에서, 능동 부하, 즉 NMOS 트랜지스터(600)의 드레인에 게이트-드레인 경로가 접속되어 있는 PMOS 트랜지스터(602) 및 NMOS 트랜지스터(601)의 드레인에 드레인이 접속되어 있는 PMOS 트랜지스터(603)가 동작을 개시한다. PMOS 트랜지스터(602)의 소스는 전원(V_{dd} :84)에 접속되며, 게이트는 드레인과 쇼트되어, 게이트-드레인 경로가 NMOS 트랜지스터(600)의 드레인 및 PMOS 트랜지스터(603)의 게이트에 접속되며, 출력으로서 다음 단의 차동 쌍의 한 트랜지스터인 NMOS 트랜지스터(609)의 게이트에 접속된다.

PMOS 트랜지스터(603)의 소스는 전원(V_{dd} :84)에 접속되고, 드레인은 NMOS 트랜지스터(601)의 드레인에 접속된다. 이를 두 드레인간 접점은 출력으로서 다음 단의 차동 쌍의 다른 트랜지스터인 NMOS 트랜지스터(610)의 게이트에 접속된다.

NMOS 트랜지스터(609 및 610)은 소스 공통 접속의 차동 쌍으로 되어 NMOS 트랜지스터(613)의 드레인에 접속되어 있다. NMOS 트랜지스터(609 및 610)의 드레인은 능동 부하로 되는 PMOS 트랜지스터(611 및 612)의 드레인에 접속되어 있다. PMOS 트랜지스터(611 및 612)의 소스는 전원(V_{dd} :84)에 접속되고, 게이트는 공통으로 전압원(V_b)에 접속되어 있다. 전압원(V_b)은 제어 신호(S-ON)에 동기하여, PMOS 트랜지스터(611 및 612)를 온/오프시키는 전압을 공급한다. 즉, 제어 신호(S-ON)가 논리적으로 액티브일 때, 정전류원용 NMOS 트랜지스터(604, 613)가 온하고, 이 동작에 동기하여 전압원(V_b)은 PMOS 트랜지스터(611, 612)를 오프로부터 온으로 절환하는 전압을 발생한다. 결국, PMOS 트랜지스터(611, 612)가 온하여, 정전류원의 능동 부하로서 기능한다.

제2도에 도시한 센스 증폭기 온 기간에, 제어 신호(S-ON)는 액티브로 되어, 입력단 NMOS 차동 쌍(600, 601)과 액티브 PMOS 부하(602, 603)로 구성된 초기 차동 증폭기를 형성하고, 입력단 NMOS 차동 쌍(609, 610)과 정전류원 PMOS 부하(611, 612)로 구성된 다음단 차동 쌍을 형성하여, 이에 따라 차동 입력/출력형 센스 증폭기(1)의 블록이 덤 온된다. 이 상태에서, +입력 단자(10)과 -입력 단자(11)간 차 전압(ΔV_{IN})이 2개의 차동 CMOS 증폭기에 의해서 증폭되어, 다음단 차동 쌍(609, 610)의 드레인에 차동 출력으로서 대진 폭으로 증폭되어 나타난다. 이어서, NMOS 트랜지스터(610)에 접속되어 있는 NMOS 트랜지스터(620)과 PMOS 트랜지스터(621)로 구성된 전송 게이트(102), 및 NMOS 트랜지스터(609)의 드레인에 접속되어 있는 NMOS 트랜지스터(623)과 PMOS 트랜지스터(624)로 구성된 전송 게이트(103)는 제어신호(ST)가 온하는 하이 레벨로 될 때, NMOS 트랜지스터(620, 623)이 온되고, PMOS 트랜지스터(621, 624)은 인버터(622 및 625)를 거쳐 게이트를 L로 함으로써 온된다.

이 결과, 제2차동 CMOS 증폭기에 의해 얻어진 차동 출력으로서의 전압을 전송 게이트(102, 103)에 공급할 때, 다음단의 NMOS 트랜지스터(626) 및 PMOS 트랜지스터(627)로 구성된 인버터(100)는 비반전 출력을 출력하며, 다음단의 NMOS 트랜지스터(628)와 PMOS 트랜지스터(629)로 구성된 인버터(101)는 반전 출력을 출력한다. 이 시점에서, 제어 신호(S-ON)의 턴 오프 동작과 동시에, 전송 게이트(102, 103)를 오프한다. 이것에 의해 산술 동작 사이클이 종료된다.

전송 게이트(102, 103)가 온으로 되어도, 게이트 전압은 유지된 상태로 되어, 출력은 다음의 산술 동작 사이클까지 전회의 출력 상태를 유지한 그대로 있다. 이 상태에서, 신호는 다음단에 전송되며, 차동 입력/출력형 센스 증폭기(1)은 다음 사이클에서의 처리를 대기한다. 제4도는 S-ON, V_b , 및 ST의 타임 차트를 나타낸 것이다. 제4도는 제2도의 반전 신호 전송 기간으로부터 다음의 초기 리세트 기간까지의 동작을 나타내고, 센스 증폭기(1)를 동작시키는 제어 신호(S-ON)과, 이 신호와 동기한 반전 전압원(V_b)과, 센스 증폭기(1)의 출력부의 전송 게이트(102, 103)를 제어하는 제어 신호(ST)와의 타이밍 관계를 나타내고 있다. 제어 신호(ST)가 하이 레벨에서 로우 레벨로 변화하여도, 출력은 출력 상태를 계속 유지한다.

[실시예 2]

본 발명에 의한 실시예 2에 대해서 제5도에 도시한 도면을 참조하여 설명한다. 제1도와 동일 부호의 것은 동일한 기능을 갖는 것으로서 설명은 생략한다. 본 실시예에서 차동 입력/출력형 센스 증폭기(1)는 래치형 센스 증폭기이다. 제1도에서 입력 단자(10)는 그대로 출력 신호(OUT:27)로 되어, 다음 단으로 보내진다. 마찬가지로 제1도의 입력 단자(11)는 그대로 출력 신호(OUT(반전):26)로 되어, 출력 신호(OUT)의 반전 논리를 다음단으로 보낸다.

제2도를 사용하여 동작을 설명하면, 초기 리세트 기간부터 반전 신호 전송 기간까지 동작은 실시예 1과 동일한 동작으로, 제5도의 입력/출력 단자(10 및 11)에서는 하기의 식(10)에 표시되어 있는 차전압이 발생된다.

$$\Delta V_N = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (10)$$

차동 입력/출력형 센스 증폭기는 인버터(31, 32)에 의해 구성된 RS 래치로 되어, 래치형 센스 증폭기(1)는 제어 신호(S-ON)에 의해서 온/오프 제어된다.

현재, 제2도에 도시한 반전 신호 전송 기간 종료후, 래치형 센스 증폭기(1)의 입력 단자(10)와 (11)간의

전위 관계는 $V_{IN10}V_{IN11}$ 이며, 또한

$$V_{IN10} - V_{RESET8} = |V_{IN11} - V_{RESET9}| = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x}$$

... (11)

이다.

이어서, 식(11)은 $V_{RESET8}=V_{RESET9}$ 에 대해서 다음의 식(12) 또는 식(13)으로 다시 쓸 수 있다.

$$V_{IN10} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (12)$$

이다.

상기 식(12), 식(13)의 전위를 입력 단자(10) 및 (11)에 유지한 상태에서, 제어 신호(S-ON)를 하이 레벨로 하여, 래치형 센스 증폭기(1)가 온될 때, 리세트 전위보다 높은 전위 V_{IN10} 을 갖는 입력 단자(10)은 래치형 센스 증폭기(1)의 정귀환 효과에 의해, 보다 높은 전위로 이동하고, 최종적으로 전원 전압(Vdd)에서 안정하게 된다.

한편, 리세트 전위보다 낮은 전위 V_{IN11} 을 갖는 입력 단자(11)는 동일하게 정귀환 작용에 의해서, 보다 낮은 전위로 이동하여 최종적으로는 GND 전위에서 안정하게 된다. 마찬가지로 $V_{IN10}V_{IN11}$ 의 경우 입력 단자(10)은 최종적으로 GND 전위로 안정하게 되며, 입력 단자(11)는 최종적으로 전원 전압(Vdd)로 안정하게 된다. 이와 같이 하여, 래치형 센스 증폭기(1)를 온시키기 전에, 차동 입력 단자에 큰 전위차를 갖게 하였을 때, 정확하고 고속인 산술 동작을 실현할 수 있다. 래치형 센스 증폭기(1)의 감도를 높이면, 다입력(예를 들면 50 내지 수백개의 입력수)의 산술 동작이 가능하게 되어, 병렬 산술 동작 수의 향상으로 되어, 신호 처리 시스템의 산술 동작 속도가 고속화된다. 본 실시예에 의한 래치형 센스 증폭기의 경우, 이 자신이 데이터 기억 능력을 갖고, 다음 산술 동작까지 데이터를 유지할 수 있다. 이 때문에 병렬 산술 동작 처리수가 증가하고, 접속 배선의 지연등에 의해서, 다음 단으로 전송될 신호는 서로간에 상대적으로 지연이 생겨, 크로스 토크에 의해 신호에 잡음이 흔입하여도, 래치형 센스 증폭기의 출력은 결국 산술 동작 기본 클럭에 따라 정확한 신호 전송을 실현할 수 있어, 고정밀 병렬 산술 동작 처리를 행하는 것이다.

래치형 센스 증폭기의 입력 단자(10 및 11)은 산술 동작 결과(OUT)과 산술 동작 결과(OUT)의 반전 논리 출력을 다음단으로 전송할 수 있다. 이러한 이유로, 이를 출력은 차동 출력으로서, 다음단으로 전송될 수 있다. 다음 처리 시스템이 제1도 내지 제5도에 도시한 다입력 단자를 갖는 경우, 이를 신호들이 반대되는 논리 레벨들을 갖기 때문에, 다음 처리에 있어서 리세트 스위치 블록(28) 내의 인버터(30)을 사용함이 없어도, 출력 신호(OUT:27), 및 반전 신호(OUT:26)는 입력 산술 동작 캐퍼시터에 접속되어 있는 입력 신호 스위치(25) 및 (24)에 직접적으로 신호를 접속할 수 있게 되어, 회로의 간소화 구성 및 소비 전력을 저감 할 수 있다.

[실시예 3]

본 발명에 따른 제3실시예에 대해서, 제6도에 도시한 도면을 참조하여 설명한다. 제6도에 있어서 동일 참조 부호는 제5도의 동일 기능을 갖는 부분을 나타내며, 이에 대한 상세한 설명은 생략한다. 이 실시예의 회로 동작에 대해서 제2도를 참조하여 설명하나, 센스 증폭기 온 기간 동안의 상세한 타이밍은 제7도를 참조하여 독립적으로 설명할 것이다.

제6도에 있어서, 각각의 리세트 스위치 입력 블록(28)에 있어서, 제5도의 제1신호 리세트 스위치(24)는 NMOS 트랜지스터(74), PMOS 트랜지스터(75), 및 인버터(72)로 구성되어, 신호 리세트 스위치용 전송 게이트가 된다. 제어 신호(PRES:12)가 H일 때 스위치(24)가 온하여, 입력 신호(Q_1)의 반전 논리에서 캐퍼시터(C_1)의 입력 단자(a)를 리세트한다.

리세트 스위치 입력 블록(28)에 있어서, 제5도의 신호 전송 스위치(25)는 제6도에 있어서, NMOS 트랜지스터(76), PMOS 트랜지스터(77), 인버터(30)로 구성되는 신호 전송용 전송 게이트로 된다. 제어 신호(PT:13)가 H일 때 스위치(25)가 온하여, 캐퍼시터(C_1)의 입력 단자(a)에 입력 신호(Q_1)의 비반전 논리를 기입한다. 한편, 제5도에 있어서 제1리세트 스위치(4), 제2리세트 스위치(5), 제3리세트 스위치(6), 비반전 논리 신호 전송 스위치(2) 및 반전 논리 신호 스위치(3)은 각각 NMOS 트랜지스터(70), NMOS 트랜지스터(56), NMOS 트랜지스터(57), NMOS 트랜지스터(58), NMOS 트랜지스터(96)에 대응한다. 리세트 전위(83)은 각 노드를 대응하는 스위치가 온한 때의 수령하는 목표 전위로, 이 경우, 제1, 제2, 및 제3리세트 스위치에는 동일한 리세트 전위(83)가 부여되어 있다.

본 실시예의 동작을 설명하는 타이밍 차트 제2도에 있어서, 초기 리세트 기간으로부터 반전 신호 전송 기간까지 대응하는 스위치가 턴 온/오프하여, 입력 단자의 노드(10 및 11)에 다음의 식(14)로 주어지는 전

위치를 갖는다.

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots \quad (14)$$

여기서 노드로서의 입력 단자(10) 및 (11)간의 전위 관계가 $V_{IN10}V_{IN11}$ 일 때, 리세트 전위(83)을 $V_{RESET83}$ 로 하면, 전위(V_{IN10} 및 V_{IN11})는 각각 다음의 식(15) 및 식(16)으로 주어진다.

$$\text{입력 단자(10)} : V_{IN10} = V_{RESET83} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots \quad (15)$$

$$\text{입력 단자(11)} : V_{IN11} = V_{RESET83} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots \quad (16)$$

상기 식(15) 및 식(16)에 의해서 주어진 전위에 노드 입력 단자(10, 11)가 유지된 상태로 있다.

이 상태에서 제7도에 도시한 바와 같이, 센스 증폭기 온 기간 동안, 신호(EV)를 턴 온으로 하여, NMOS 트랜지스터(55)을 온 상태로 한다. 이 때 공통 소스를 갖는 NMOS 트랜지스터(50 및 51)이 차동 NMOS 래치로 동작한다. 이 경우에, NMOS 트랜지스터(50)가 턴 온되고, NMOS 트랜지스터(51)가 턴 오프되기 때문에, 이를 트랜지스터는 입력 단자(11) 상에 축적된 전하들을 배수(drain)하고, 높은 전위인 입력 단자(10)(NMOS 트랜지스터(51)의 드레인과 NMOS 트랜지스터(51)의 게이트간 노드)의 전위를 유지한 상태에서, 낮은 전위인 입력 단자(11)(NMOS 트랜지스터(51)의 드레인과 NMOS 트랜지스터(50)의 게이트간 노드)를 정귀환 효과에 의해, GND전위로 드리프트한다. 이러한 방식으로 하여, 초기의 전위차 이상으로 큰 전위차가 입력 단자(10)과 (11)간에 발생한 시점에서, 제어 신호(LT:79)을 H로부터 L로 변경하여, PMOS 트랜지스터(54)를 턴 온한다. PMOS 트랜지스터(54)의 소스는 전원(Vdd:84)에 접속되어 있어, PMOS 트랜지스터(54)가 턴 될 때, 공통 소스 단자를 갖는 PMOS 트랜지스터(52 및 53)이 차동 PMOS 래치로서 동작하여, 결국, NMOS 래치 및 PMOS 래치가 완전 온하기 때문에, 정귀환 효과에 의해서, 낮은 전위인 입력 단자(11)(NMOS 트랜지스터(53)의 드레인과, NMOS 트랜지스터(52)의 게이트간 노드)의 전위는 급격히 GND 전위로 향하고, 입력 단자(10)(NMOS 트랜지스터(50)의 드레인과 NMOS 트랜지스터(51)의 게이트간 노드)의 전위는 입력 단자(11)의 전위가 GND 전위로 급속히 낮아지므로, 정귀환 효과에 의해 전원 전압(84)을 향한다. 이와 같이 하여, 입력 단자(10)는 논리 H로, 입력 단자(11)은 L로 래치된다.

노드(10)로부터의 출력 신호(OUT:27)와 노드(11)로부터의 출력 신호(OUT(반전):26)는 각각 차동 출력으로 다음단으로 보내진다.

입력 단자(10)와 (11)간의 전위 관계가 $V_{IN10}V_{IN11}$ 일 때에는 동일 형태의 정귀환 동작에 의해, 입력 단자(10)은 논리 L로, 입력 단자(11)은 논리 H로 래치된다.

이와 같이 하여, 래치형 센스 증폭기의 신호 입력 단자에, 큰 전위차를 갖는 차동 신호가 입력되어 있으면, 고정밀도 내지 고속 처리가 가능하다.

래치형 센스 증폭기의 정귀한 이득을 높임으로써, 다입력 산술 동작(예를 들면 50 내지 수백개의 입력수)이 가능하게 되어, 병렬 산술 동작 처리수의 향상 및 처리 시스템의 산술 동작 속도가 고속화 된다.

래치형 센스 증폭기 자신은 데이터 기억 능력을 갖고 있고, 다음 산술 동작까지 데이터를 유지할 수 있다. 이 때문에, 병렬 산술 동작 처리수가 증가하고, 접속 배선의 지연에 기인하여, 다음단으로 전송될 신호 서로간에 상대적 지연이 발생하며, 또는 크로스 토크에 기인하여 신호에 잡음이 혼입될 때, 래치형 센스 증폭기의 출력은 래치 상태에 의해, 결과로서 산술 동작 기본 클록에 따라 정확한 신호 전송을 실현하여, 고정밀 병렬 산술 동작 처리를 행하는 것이다.

래치형 센스 증폭기의 입력 단자(10 및 11)는 산술 동작 결과(OUT:27)와 산술 동작 결과(OUT:26)의 반전 논리 출력을 다음단으로 전송할 수 있다. 이 때문에, 양 출력은 차동 출력으로서 다음 단으로 전송될 수 있다. 이 때문에, 다음 처리에 있어서, 다음단의 리세트 스위치 블록(28)내의 인버터(30)를 사용하지 않고 신호 리세트 스위치용 전송 게이트의 입력단(NMOS 트랜지스터(74)의 소스와 PMOS 트랜지스터(75)의 소스간 노드)과 신호 전송용 전송 게이트의 입력 단자(NMOS 트랜지스터(76)의 소스와 PMOS 트랜지스터(77)의 소스간 노드)에 직접 출력 신호(OUT(반전):26) 및 반전된 신호(OUT:27)를 입력할 수 있으므로, 회로의 간소화 구성, 소비 전력의 저감, 처리 속도의 향상을 달성할 수 있다.

[실시예 4]

상기 반도체 장치를 사용하여, 상관 산술 동작 회로에 적용한 예를 실시예 4로서, 제8도를 참조하면서 설명한다. 제8도에 있어서, 상관 산술 동작 회로는 각각이 7개의 입력 단자를 갖는 다수결 산술 동작 회로

블록(221-A, 221-B, 및 221-C), 인버터(222), 및 입력 단자(232) 신호와 대응하는 상관 계수(233)를 비교하는 비교기(223)이다. 다수결 산술 동작 회로 블록(221-B 및 221-C)의 입력 단자(224 및 225)는 다수결 산술 동작 회로 블록(221-A)에 입력되는 7개의 입력 신호와 동일한 신호를 받는다. 입력 단자(226, 227, 및 228)은 전단의 다수결 산술 동작 회로 블록으로부터 출력 신호를 받는다. 캐패시터(229, 230, 231)는 입력 단자(226, 227, 및 228)에 접속되며, 각각은 (통상의 입력 단자에 접속된 캐패시터를 C라 할 때) 용량값(4C, 2C, 4C)을 갖는다.

제8도에 있어서, 입력 신호는 대응하는 상관 계수(233)와 함께 비교기(223)에 입력된다. 입력 신호와 상관 계수(233)가 일치하면, 각각의 비교기(223)는 하이 레벨 신호를 출력하며; 그렇지 않으면, 로우 레벨 신호를 출력한다. 비교기(223)의 출력은 다수결 산술 동작 회로 블록(221-A 내지 221-C)에 입력된다. 예를 들면, 비교기(223)로부터의 출력들이 7-입력 다수결 산술 동작 회로 블록(221-A)에 입력될 때, 만약 하이 레벨의 수가 과반수이면, 즉 7입력 중 4입력 이상이 하이 레벨인 경우, 다수결 산술 동작 회로 블록(221-A)로부터 하이 레벨이 출력된다. 이 출력 상태를 표 1의 도표의 커먼 S3에 도시하였다.

마찬가지로, 예를 들면, 7개 입력의 입력 단자(224)와 4입력과 등가인 용량 4C를 갖는 입력 단자(226)의 모두 11개 입력을 갖는 다수결 산술 동작 회로 블록(221-B)에서는 6입력 이상이 하이 레벨 신호인 경우에 하이 레벨을 출력한다. 이 출력 상태를 표 1의 도표의 커먼 S2에 도시하였다. 한편, 7입력의 입력 단자(225), 4입력과 등가인 용량 4C를 갖는 입력 단자(228), 및 2입력과 등가인 용량 2C를 갖는 입력 단자(227)의 모두 13 입력의 다수결 산술 동작 회로 블록(221-C)에서는 7입력 이상이 하이 레벨인 경우에 하이 레벨이 출력된다. 이 출력 상태를 표 1의 커먼 S1에 나타내었다.

보다 구체적으로 설명하면, 7입력의 다수결 산술 동작 회로 블록의 출력값을 입력 신호의 하이 레벨의 수 단위로 표시하면, 커먼 S3과 같이 된다. 다음에, 제8도에 도시한 바와 같이, 7입력의 다수결 산술 동작 회로 블록(221-A)의 출력을 인버터(222)에서 반전하여, 다수결 산술 동작 회로 블록(221-B)의 가중 입력 단자(226)에 인가한다. 다수결 산술 동작 회로 블록(221-B)은 11개의 C가 공통 접속되어, 그 중 4개의 출력에는 가중 입력 단자로부터 신호가 인가되고, 다른 7개의 단자에는 다수결 산술 동작 회로 블록(221-A)에 입력된 것과 동일한 신호가 인가되는 11 입력 다수결 동작 회로가 된다. 예를 들면, 7 입력 중 4 입력 이상이 하이 레벨인 경우, 먼저 서술한 바와 같이 가중 입력 단자에는 로우 레벨 신호가 인가된다. 더욱이 가중 입력 단자 이외의 입력 단자에 가해지는 7개 입력 중 6입력 이상이 하이 레벨 신호인 경우, 모두 11 입력 다수결 산술 동작 회로는 과반수인 것으로 판정을 내려 하이 레벨 신호를 출력한다. 7 입력 중 4 입력 이상 5입력이 하이 레벨 신호인 경우, 과반수에 도달하지 않아 로우 레벨을 출력한다. 한편, 7 입력 중 3 입력 이상이 하이 레벨 신호인 경우에는 가중 입력 단자(226)에 하이 레벨 신호가 인가된다. 7 입력 중 2 입력 이상 및 3 입력 이하 출력이 하이 레벨 신호인 경우는 4+2 또는 4+3은 6 이상이므로, 과반수로 판정되어 하이 레벨 신호가 출력된다. 한편, 1 입력 이하가 하이 레벨 신호인 경우, 4+0 또는 4+1은 6 이하이므로, 로우 레벨 신호가 출력된다. 표 1의 커먼 S2는 다수결 산술 동작 회로 블록(221-B)의 출력값을 하이 레벨 신호 수의 단위로 표시한 것이다.

또한, 다수결 산술 동작 회로 블록(221-A 및 221-B)의 출력 신호를 반전한 신호가 각각 4배의 용량치(4C) 및 2배의 용량치(2C)를 갖는 2개의 가중 입력 단자(228 및 227)에 인가될 때, 다수결 산술 동작 회로(221-C)가 동작하여 표 1의 커먼 S1에 나타낸 출력 결과를 얻는다. 본 회로 구성에 의해서, 표 1에 도시한 바와 같이, 복수 입력 신호의 상관 계수와 일치하고 있는 신호 수를 3개 디지트의 2진수로 변환하여 2진 값을 출력할 수 있다.

[실시예 5]

실시예 5에 관해서, 제9도 및 표 2를 참조하여 설명한다. 본 실시예는 본 발명을 사용한 3비트 정밀 아날로그 디지털 변환기(이하, A/D 변환기라 함)이다. 제9도에서 도시한 A/D 변환기는 1입력, 2입력, 3입력의 산술 동작 회로 블록(121-A, 121-B, 121-C), 및 인버터(122)를 포함한다. 입력 단자(123, 124, 125)는 전단의 산술 동작 회로 블록으로부터의 출력 신호를 받는다. 캐패시터(126, 127, 128)은 입력 단자(123, 124, 125)에 접속되며, (통상의 입력 단자에 접속된 캐패시터를 C라 할 때) 각각 용량치(C/2, C/2, 및 C/4)를 갖는다. 아날로그 입력 단자(129) 및 세트 입력 단자(130)는 용량치(C/4, C/8)를 갖는 캐패시터(131 및 132)에 각각 접속된다. 각각의 블록은 디지털 출력 단자(S2, S2, S3)를 갖는다.

본 실시예에 있어서, 5V 시스템 전원을 사용한 경우에 대해서 설명한다. 제9도에 있어서, 산술 동작 회로 블록(121-A)의 센스 증폭기 입력을 0V로 리세트하고, 산술 동작 회로 블록(121-B, 121-C)에 대해서는 약 2.5V로 리세트한다. 신호 입력 단자(123, 124, 125) 및 세트 입력 단자(130)의 입력 산술 동작 캐패시터(132)의 입력 단자는 5V로 리세트한다. 이 때, 신호 입력 단자(129)는 0V로 설정된다. 다음에, 세트 입력 단자(130)를 0V로 세트하고, 입력 단자(129)의 입력 전압을 0V로부터 아날로그 신호 전압까지 변화시키면, 산술 동작 회로 블록(121-A)에 있어서는 아날로그 입력 전압이 거의 2.5V 이상으로 되면, 산술 동작 회로 블록(121-A)내의 센스 증폭기 입력 전압이 논리 반전 전압(여기서는 2.5V로 가정)을 넘어서, 하이 레벨 신호가 출력된다. 이 출력 결과를 표 3의 커먼 S3에 도시하였다.

아날로그 입력 신호가 2.5V 이상일 때, 입력 단자(123)는 리세트 전위의 5V로부터 0V로 변화한다. 이 때 산술 동작 회로 블록(121-B)내의 센스 증폭기 입력 단자에서의 전위 변화는 아날로그 입력 신호 전압을 VA로 하면, 하기 식과 같이 된다.

$$\{C \times VA - (C/2) \times 5 - (C/4) \times 5\} / (C - C/2 + C/4) [V]$$

이 식으로부터, 산술 동작 회로 블록(121-B)은 아날로그 신호 전압(VA)가 3.75V 이상일 때 하이 레벨 신호를 출력하고, 2.5V 이상 3.75V 미만일 때 로우 레벨 신호를 출력한다. 그 출력 결과를 표 2의 커먼 S2에 표시하였다.

마찬가지로, 산술 동작 회로 블록(121-C)의 출력은 표 2의 커먼 S2와 같이 된다.

본 실시예에 의해, 표 [도시한 바와 같이, 아날로그 신호 전압을 3비트 디지털 신호로 변환하여 출력하는 A/D 변환기를 소규모인 구성으로 실현할 수 있어, 산술 동작 결과를 고속으로, 소비 전압도 저감하여 실현할 수 있다.

본 실시예에서는 3비트의 A/D 변환기에 관해서 설명하였으나, 본 발명은 이에 한하지 않고, 다비트로 용이하게 확장할 수 있는 것이다.

본 실시예에서는 캐패시터를 이용한 플래쉬(flash) 형 A/D 변환기의 예에 관해서 서술하였으나, 본 발명은 이 방식에 한하는 것이 아니다. 예를 들면, 본 발명은 저항 어레이에 입력한 신호와 기준 신호를 비교 기로 비교하여, 그 결과를 엔코더로 엔코드하는 것으로 A/D 변환기의 엔코더 회로부 등에 발명을 응용하여도, 먼저 설명한 바와 동일한 효과가 얻어진다.

이상 설명한 바와 같이, 다입력 단자에 대응한 캐패시터 수단의 한 단자를 공통 접속하여, 센스 증폭기에 입력하는 회로 블록에서는 다입력 단자에 접속한 캐패시터 수단 중 최소의 것을 C로 하였을 때, 캐패시터 수단의 용량 합계는 거의 C의 기수배이다.

상관 회로의 경우, 제어 입력 단자를 갖지 않는 경우는 입력 단자들에 접속된 모든 용량은 최소치를 갖는다. 한편, 상관 회로가 제어 입력 단자를 가질 때, 예를 들면, 제8도에 도시한 제4의 실시예에서 설명한 바와 같이, 제어 입력 단자에 접속하는 용량은 $2C$, $4C$ 와 같이 C의 우수배이며, 이를 단자와 기수의 입력 신호 단자와의 용량 합계는 C의 거의 기수배로 된다. 이와 같은 구성에 의해, 소망의 기준치로부터의 비교가 명확하게 되어, 산술 동작 정밀도를 향상시키는 효과를 갖는다.

상기 설명은 상관 회로에 관해서 서술하였으나, 2진 D/A 변환기의 경우는 최하위 비트 LSB의 신호 입력 용량을 C로 하면, 다음 비트의 용량이 $2C$, 다음의 제2비트가 $4C$, 등등으로 되어, 각 비트의 용량은 바로 전 비트의 2배값으로 되어, 각 입력 단자의 전체 용량은 거의 C의 기수배로 되어 고정밀도의 D/A 변환을 실현할 수 있다.

A/D 변환기에 관해서도, 제9도에 도시한 실시예 5에서 설명한 바와 같이, 아날로그 신호 레벨을, 전 범위의 $1/2$ 을 넘는지, $1/2$ 미만인지를 판단하는 판별점수는 블록(121-A)에서는 10인 기수로 설정된다. 블록(121-B)에서는 $1/4$, $2/4$, $3/4$ 판정 기준에 대응하는 판정점의 수는 3개, 즉 기수로 되어, 그 용량 합계는 $C/4$ 를 최소치로서 $1+2+4=7$ 배의 기수배로 되며, 블록(121-C)에서는 $C/8$ (최소치)를 최소치로서 2배로 연속한 $C/4$, $C/2$, 및 C, 즉 $1+2+4+8=15$ 의 기수배로 설정하고 있다.

이들의 구성에 의해, 고정밀도의 산술 동작을 할 수 있기 때문에, 불필요로 큰 캐패시터를 설치함이 없이 산술 동작을 실행할 수 있는 것에 의해, 저소비 전력, 고속 산술 동작을 실현할 수 있다.

상기에는 상관 산술 동작 회로 및 A/D 변환기를 예로 하여 설명하였으나, 본 발명은 이들에 한하는 것이 아니고, 예를 들면 본 발명은 디지털 아날로그 변환기, 가산기, 감산기 등과 같이 논리 회로에 응용하여도, 동일한 효과를 얻을 수 있다.

특히, 본 발명을 D/A 변환기에 적용하는 경우, LSB 데이터가 입력되는 입력 단자의 용량을 C로 하였을 때, 다음의 상위 비트로 되는 $2C$, $4C$, $8C$... 쪽으로, 바로 전 값의 2배로 설정되지만 하면, 2진 디지털 아날로그 변환기를 실현할 수 있다. 이 경우, 공통 접속된 캐패시터의 단자로부터의 출력을 소스 풀로어 증포기에서 받을 수 있다.

[실시예 6]

본 발명에 의한 실시예를 제10도를 참조하여 설명한다. 실시예 6은 본 발명의 기술로 동화상 등의 움직임 검출 회로를 실현한 것이다. 제10도에 있어서, 움직임 검출 회로는 기준 데이터 및 참조 데이터가 각각 격납되어 있는 메모리(161, 162), 상관 연산 유닛(163), 칩 전체를 제어하는 제어 유닛(164), 상관 연산 유닛(163)의 상관 결과를 가산하는 가산 유닛(165), 가산 유닛(165)의 가산 결과의 최소치를 격납하는 레지스터(166), 비교기 및 최소치의 어드레스 격납을 행하는 유닛 기능의 비교 기억 유닛(167), 및 출력 버퍼 및 출력 결과 격납 유닛으로서 유닛(168)을 포함한다. 입력 버스(169)에는 기준 데이터 스트링이 입력되어, 입력 버스(170)에는 기준 데이터 스트링과 비교해야 할 참조 데이터 스트링이 입력된다. 메모리(161, 162)는 SRAM로서, 통상의 CMOS 회로로 구성된다.

참조 데이터 메모리(162)와 기준 데이터 메모리부(161)로부터 상관 연산 유닛(163)으로 보내진 데이터는 유닛(163)이 본 발명의 상관 산술 동작 회로를 포함하기 때문에, 고속 병렬 처리에 의해서 처리될 수 있다. 이 때문에, 유닛(163)은 극히 고속화가 달성될 수 있을 뿐만 아니라, 적은 소자 수로도 달성될 수 있어, 칩 크기가 작게 되어, 저코스트화를 실현할 수 있다. 상관 산술 동작 결과는 가산 유닛(165)에 의해서 스코어(평가)되며, 비교/기억 유닛(167)에 의한 현재 상관 연산 동작 전에 최대 상관 산술 동작 결과(최소 합)를 저장하는 레지스터(166)의 내용과 비교된다. 금회의 산술 동작 결과가 전회까지의 최소치보다도 더욱 작은 경우는 그 결과를 새로이 레지스터부(166)에 격납하고, 전회까지의 결과가 금회의 결과보다 작은 경우는 전회의 결과가 유지된다. 이와 같은 동작을 행하는 것에 의해 최대 상관 연산 동작 결과가 항상 레지스터(166)에 격납되어, 모든 데이터 스트링의 동작 종료 후, 최종 상관 결과가 출력 버스(171)에 의해 예를 들면 16비트 신호로서 출력된다.

제어 유닛(164), 가산 유닛(165), 레지스터부(166), 비교/기억 유닛(167), 및 유닛(168)은 이 회로에서 통상의 CMOS 회로에 의해 구성하였으나, 특히 가산 유닛(165)등이 본 발명의 리세트 수단을 포함하는 회로 구성을 사용하는 것에 의해, 센스 증폭기의 정확한 동작을 실현할 수 있어, 고속 처리가 실현될 수 있다. 이상 기술한 바와 같이, 고속 처리, 저코스트 뿐만이 아니라, 래치 회로를 거쳐, 용량을 근거로 산술 동작을 실행하기 때문에, 소비 전류가 작은 저 파워화를 실현할 수 있어, 이 이유로, 본 발명은 8mm VTR 카메라 등의 휴대기기 등에도 적합하게 적용된다.

[실시예 7]

본 발명에 의한 실시예 7에 관해서 제11a, 11b, 11c도를 참조하여 설명한다. 실시예 7은 본 발명의 기술과 광센서(고체 최상 소자)를 융합하여, 이미지 신호 데이터를 독출하기 전에 고속 이미지 처리를 행하는 회

로 구성을 도시한 것이다.

제11a도는 본 실시예의 회로의 전체 구성을 도시한 블록도이며, 제11b도는 본 실시예의 회로의 픽셀부의 구성을 도시한 회로도이며, 제11(c)도는 본 실시예의 산술 동작 내용을 설명하는 개별도이다.

제11a도에 있어서, 회로는 각각 공전 변환 소자를 포함하는 수광부(141), 라인 메모리(143, 145, 147, 149), 상관 연산 유닛(144, 148), 산술 동작 출력 유닛(150)를 포함한다. 제11b도에 도시한 수광부(141)는 광신호 출력 단자와 출력 버스 라인(142, 146)을 접속하는 결합 캐패시터 수단(151, 152), 바이풀라 트랜지스터(153), 바이풀라 트랜지스터(153)의 베이스 영역에 접속된 캐패시터 수단(154), 및 스위치 MOS 트랜지스터(155)를 포함한다. 이미지 데이터 센싱 유닛(160)에 입력한 이미지 데이터는 바이풀라 트랜지스터(153)의 베이스 영역에서 광전 변환된다.

광전 변환된 광 캐리어에 대응한 출력이, 바이풀라 트랜지스터(153)의 에미터로 독출되어, 결합 캐패시터 수단(151, 152)을 거쳐, 출력 버스 라인(142, 146)의 전위를 입력 축적 전하 신호에 응하여 상승시킨다. 이상의 동작에 의해, 종방향의 픽셀의 가산 결과는 라인 메모리(147)로 독출되며, 한편, 횡방향의 픽셀의 가산 결과는 라인 메모리(143)으로 독출된다. 이 경우에 픽셀부의 캐패시터 수단(154)을 거쳐, 바이풀라 트랜지스터(153)의 베이스 전위를 상승시키는 영역이 디코더(제11a도 내지 제11c도에 도시없음) 등에 의해 선택되면, 센싱 유닛(160)의 임의의 영역의 X 방향, Y 방향의 가산 결과가 출력될 수 있다.

예를 들면, 제11c도에 도시한 바와 같이, t1의 시각에 이미지(156)이 입력되고, t2 시각에 이미지(157)이 입력된다고 하면, 각각 Y 방향으로 아들 이미지를 가산한 출력 결과(158, 159)는 제11c도에 도시한 차의 이동 상태의 이미지 신호로 되어, 이 데이터가 각각 제11a도에 도시한 라인 메모리(147 및 149)에 격납된다. 마찬가지로, X 방향의 이미지 데이터를 가산하여 얻어진 데이터가 라인 메모리(143 및 145)에 격납된다.

제11(c)도의 이미지 신호의 데이터 스트링 출력(158, 159)로부터 알 수 있는 바와 같이, 양자의 데이터는 이미지의 움직임에 대응하여 시프트하고 있어, 상관 연산 유닛(148)에서 그 시프트양을 산출하고, 동일하게 상관 연산 유닛(144)에서 횡방향의 데이터를 연산하면, 2차원 평면에서의 피사체 움직임을 매우 간단한 방법으로 검출할 수 있다.

제11a도에 도시한 상관 연산 유닛(144, 148)은 본 발명의 상관 산술 동작 회로를 포함한다. 이들 유닛 각각의 소자수가 종래 회로보다 작아, 특히 센서 픽셀 피치에 배치할 수 있다. 본 구성은 센서의 아날로그 신호 출력에 기초하여 산술 동작을 수행하나, 라인 메모리와 출력 버스 라인과의 사이에 본 발명에 의한 A/D 변환기를 설치함으로써, 디지털 상관 산술 동작도 말할 나위 없이 실현할 수 있다.

본 발명의 센서 소자로서, 바이풀라형을 사용하였으나, 어떤 증폭용 트랜지스터를 설치하지 않고 MOS 트랜지스터나 포토 다이오드만의 구성으로도 유효하다.

더욱이, 본 실시예에서는 다른 시각의 데이터 스트링간의 상관 산술 동작을 행하고 있다. 아니면, 인식할 복수의 패턴 데이터의 X, Y 투영 결과를 한 메모리에 격납하여 두면, 패턴 인식도 실현할 수 있다.

이상 설명한 바와 같이 픽셀 입력부와 본 발명에 의한 상관 산술 동작 회로 등을 결합하는 것에 의해, 이하의 효과를 수반한다.

(1) 종래의 센서로부터 시리얼도 독출한 후 처리하는 것과는 달리, 센서로부터 병렬 내지 일괄 독출한 데이터를 병렬 처리하기 때문에, 고속으로 움직임을 검출 및 패턴 인식 처리를 실현할 수 있다.

(2) 센서를 포함하는 1칩의 반도체 장치를 구상할 수 있어, 주변 회로를 증대시킴없이 이미지 처리를 실현할 수 있으므로, 저코스트로 이하의 고기능 제품을 실현할 수 있다. 즉, (a) TV 화면을 유저 방향으로 향하게 하는 제어 기기, (b) 에어콘의 풍향으로 향하는 제어 기기, (c) 8mm VTR 카메라의 추적 제어 기기, (d) 공장에서의 라벨 인식 기기, (e) 인물 자동 인식 리셉션 로봇, (f) 차의 차간 거리 제어 장치 등이다.

이상, 이미지 입력 유닛과 본 발명의 회로와의 융합에 관해서 설명하였으나, 본 발명은 이미지 데이터만이 아니고, 음성 인식 등의 처리에도 유효하다.

이상 설명한 바와 같이 본 발명에 의하면, 다수 신호에 대하여 병렬 산술 동작을 행하는 회로가, 통상이 논리 회로와 비교하여 트랜지스터의 수를 적게 구성할 수 있고, 미소 신호에 대한 고감도화가 도모되기 때문에, 산술 동작 속도를 고속화할 수 있고, 저소비 전력화를 달성할 수 있다.

차동 입력/출력형 센스 증폭기의 차동 입력단에 절대치가 동일하나 극성이 반대인 신호를 기입하기 때문에 센싱 시스템의 차동 이득이 증가될 수 있어 초고감도의 검출이 실현될 수 있다. 이 때문에, 병렬 처리 수의 증가가 가능하고, 1사이클당 산술 동작 수가 향상된다. 차동 입력/출력형 센스 증폭기는 MOS형 트랜지스터로 형성할 수 있고, 다입력단도 MOS형 트랜지스터로 형성할 수 있으므로, 회로 규모의 작음, 처리 단수의 작음, 및 고속처리가 가능하다.

더욱이, 차동 입력/출력형 센스 증폭기에 래치형 센스 증폭기를 사용한 경우, 센스 증폭기 자신이 기억 기능을 갖고, 비반전, 반전 신호를 출력할 수 있으므로, 노이즈 훈입이 없이 고정밀 데이터를 전송할 수 있고, 본 발명의 반도체 장치가 서로 간에 직렬로 접속시에는 다입력단 구성을 더욱 간단히 할 수 있다.

본 발명 반도체 장치를 다수결 회로, A/D 또는 D/A 변환기, 및 신호 처리 시스템에 적용할 때, 이러한 유닛 또는 시스템을 물리적 구조를 작게, 소규모 회로의 칩으로 형성할 수 있어, 배선수를 줄이고, 외부 노이즈의 훈입을 제거할 수 있으며, 고속 산술 동작 처리를 실현할 수 있다.

본 발명은 상기 언급한 실시예로 한정되는 것이 아니며, 여러 변경 및 수정이 본 발명의 정신 내에서 행해질 수 있다.

[표 1]

| 입력 | S3 | S2 | S1 |
|-----|----|----|----|
| 0/7 | 0 | 0 | 0 |
| 1/7 | 0 | 0 | 1 |
| 2/7 | 0 | 1 | 0 |
| 3/7 | 0 | 1 | 1 |
| 4/7 | 1 | 0 | 0 |
| 5/7 | 1 | 0 | 1 |
| 6/7 | 1 | 1 | 0 |
| 7/7 | 1 | 1 | 1 |

[표 2]

| 아날로그 입력 전압 | S3 | S2 | S1 |
|-------------------|----|----|----|
| 0.0 ≤ VA < 0.625 | 0 | 0 | 0 |
| 0.625 ≤ VA < 1.25 | 0 | 0 | 1 |
| 1.25 ≤ VA < 1.875 | 0 | 1 | 0 |
| 1.875 ≤ VA < 2.5 | 0 | 1 | 1 |
| 2.5 ≤ VA < 3.125 | 1 | 0 | 0 |
| 3.125 ≤ VA < 3.75 | 1 | 0 | 1 |
| 3.75 ≤ VA < 4.375 | 1 | 1 | 0 |
| 4.375 ≤ VA < 5.0 | 1 | 1 | 1 |

(57) 청구의 범위

청구항 1

캐패시터 수단의 한 단자들은 입력 신호의 정 또는 부 논리를 선택할 수 있는 제1스위치 수단을 거쳐 다른 단자들에 접속되며, 상기 캐패시터 수단의 다른 단자들은 제2스위치 수단을 거쳐 차동 입력/출력형 센스 증폭기의 제1차동 입력 수단에 공통으로 접속되며, 상기 캐패시터 수단의 상기 공통 접속부는 제3스위치 수단을 거쳐 상기 차동 입력/출력형 센스 증폭기의 제2차동 입력 수단에 접속되며, 상기 제2차동 입력 수단은 상기 제1차동 입력 수단의 극성에 반대되는 극성을 갖는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 제1리세트 스위치 수단은 상기 캐패시터 수단의 상기 공통 접속부에 접속되는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 제2 및 제3리세트 수단은 상기 차동 입력/출력형 센스 증폭기의 상기 제1 및 제2차동 입력 수단에 각각 접속되는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 제1, 제2 및 제3리세트 스위치 수단의 온(ON) 기간은 상기 입력 신호의 정 논리 및 부 논리 중 하나가 상기 제1스위치 수단을 거쳐 상기 각각의 캐패시터 수단의 한 단자에 인가되는 최소한 제1용량 입력 단자 리세트 기간과 중첩하는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 캐패시터 수단의 공통 접속된 단자와 상기 차동 입력/출력형 센스 증폭기의 상기 제1차동 입력 수단을 접속하는 상기 제2스위치 수단이 온 기간은 상기 제1용량 입력 단자 리세트 기간 동안 인가된 논리에 반대되는 논리의 신호가 상기 제1스위치 수단을 거쳐 상기 각각의 캐패시터 수단의 한 단자에 기입되는 최소한 제1입력 신호 전송 기간 후에 개시하는 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 제2스위치 수단의 상기 온 기간 후에, 상기 캐패시터 수단의 상기 공통 접속 단자는 상기 제1리세트 수단에 의해 다시 리세트되는 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 캐패시터 수단의 상기 공통 접속 단자와 상기 차동 입력/출력형 센스 증폭기의 상기 제2차동 입력 수단을 접속하는 상기 제3스위치 수단의 온 기간은 상기 제1용량 입력 단자 리세트 기간 동안 인가된 논리와 동일한 논리의 신호가 상기 제1스위치 수단을 거쳐 상기 각각의 캐패시터 수단의 한 단자에 기입되는 최소한 제2입력 신호 전송 기간 후에 개시하는 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서, 상기 캐패시터 수단의 한 단자들에 신호들을 기입하는 상기 제1입력 신호 전송 기간 동안 상기 제1차동 입력 수단에 의해 유지된 증폭기 입력 전압1과 상기 제2입력 신호 전송 기간 동안 상기 제2차동 입력 수단에 의해 유지된 증폭기 입력 전압 2 간의 차는 상기 차동 입력/출력형 센스 증폭기를 턴 온 함으로써 논리 진폭 레벨까지 증폭되며, 차동 출력들은 다음 단(stage)으로 전송되는 것을 특징으로 하는 반도체 장치.

청구항 9

제1항에 있어서, 상기 차동 입력/출력형 센스 증폭기는 입력 단 내에 동일 극성을 갖는 트랜지스터들로 구성된 차동 쌍을 갖는 차동 출력형 증폭기이며, 상기 차동 쌍의 입력 전위차에 따른 극성을 갖는 논리 진폭 레벨까지 입력 신호를 증폭시킬 수 있는 것을 특징으로 하는 반도체 장치.

청구항 10

제9항에 있어서, 상기 차동 출력형 증폭기는 외부 제어 신호에 의해서 턴 온/오프될 수 있으며, 상기 증폭기가 턴 오프되기 전에 이전 산술 동작 결과를 유지하는 기능을 갖는 것을 특징으로 하는 반도체 장치.

청구항 11

제1항에 있어서, 상기 차동 입력/출력형 센스 증폭기는 정귀환 효과를 이용하는 래치형 센스 증폭기인 것을 특징으로 하는 반도체 장치.

청구항 12

제11항에 있어서, 상기 래치형 센스 증폭기는 외부 제어 신호에 의한 정귀환 효과에 기인하여 증폭 효과를 인에이블링/디스에이블링하는 기능을 갖는 것을 특징으로 하는 반도체 장치.

청구항 13

복수의 제1항의 반도체 장치들을 구비하고, 상기 복수의 반도체 장치 중 제1반도체 장치의 출력 및 또는 이의 반전된 출력이 제2반도체 장치에 입력되는 것을 특징으로 하는 반도체 회로.

청구항 14

제1항의 반도체 장치 내의 다입력 단자들에 대응하는 상기 캐패시터 수단의 최소 용량을 C로 표시할 때, 상기 공통 접속된 캐패시터 수단의 전체 용량은 실질적으로 상기 최소 용량 C의 기수배인 것을 특징으로 하는 반도체 회로.

청구항 15

제13항의 반도체 회로를 사용하여 상관 산술 동작을 수행하는 상관 연산 장치.

청구항 16

제1항의 반도체 장치를 포함하여, 상기 반도체 장치에 아날로그 신호를 입력하고, 상기 아날로그 신호에 대응하는 디지털 신호를 출력하는 신호 변환기.

청구항 17

제1항의 반도체 장치를 포함하여, 상기 반도체 장치에 디지털 신호를 입력하고, 상기 디지털 신호에 대응하는 아날로그 신호를 출력하는 신호 변환기.

청구항 18

제15항의 상관 연산 장치를 포함하는 신호 처리 시스템.

청구항 19

제18항에 있어서, 이미지 신호를 입력하기 위한 이미지 입력 장치를 더 포함하는 것을 특징으로 하는 신

호 처리 시스템.

청구항 20

제18항에 있어서, 정보를 기억시키기 위한 기억 장치를 더 포함하는 것을 특징으로 하는 신호 처리 시스템.

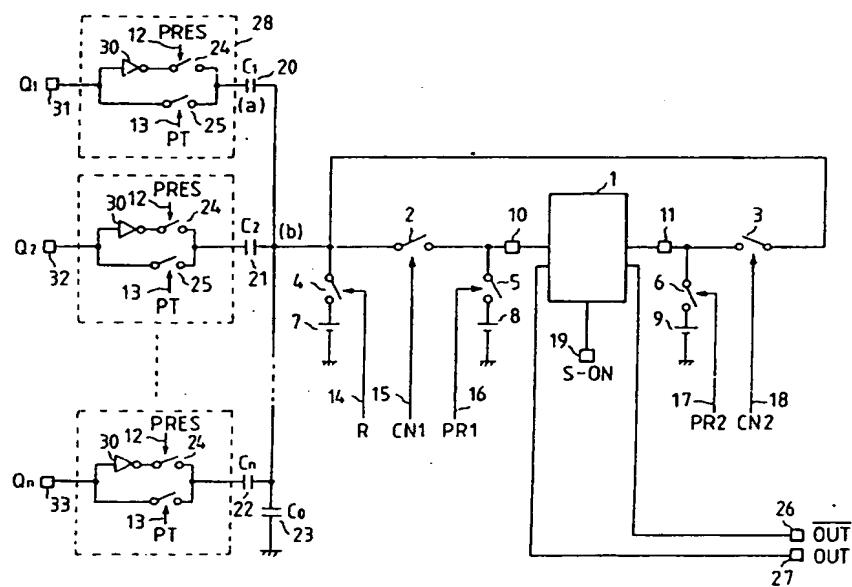
청구항 21

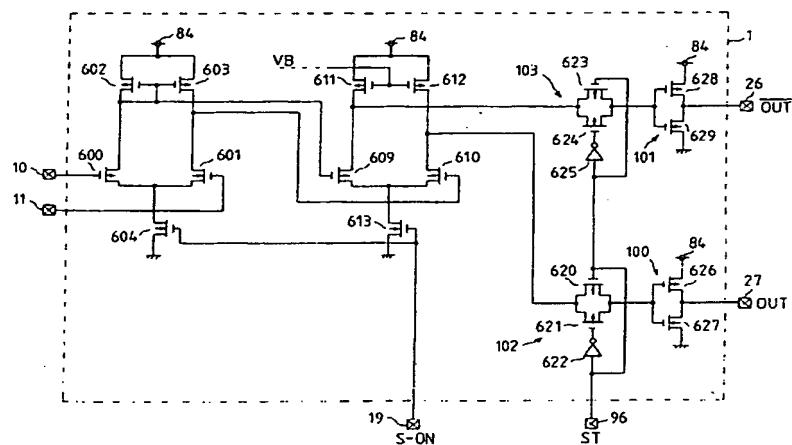
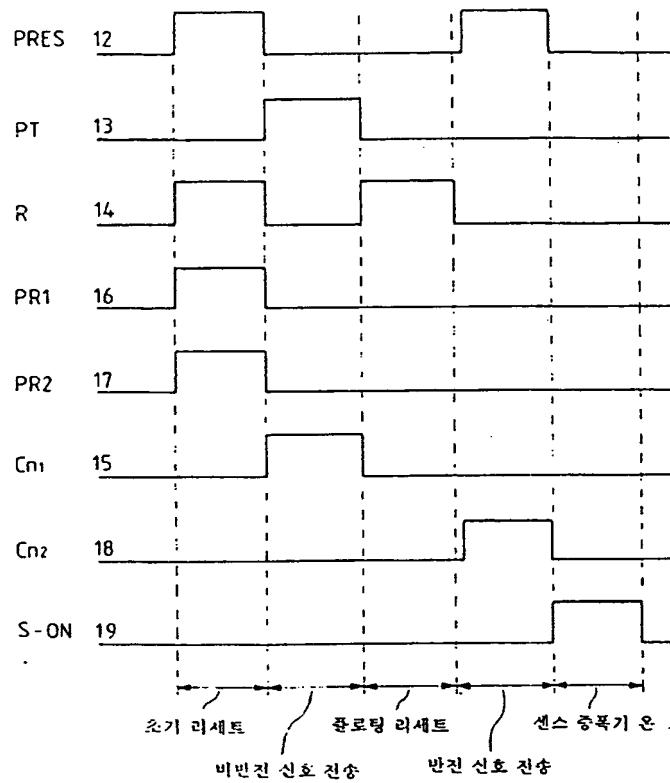
제16항의 신호 변환기를 포함하는 신호 처리 시스템.

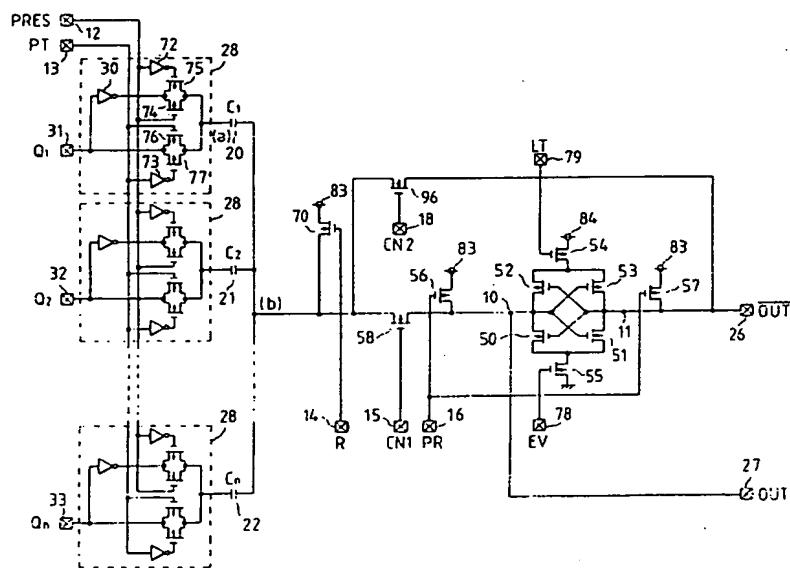
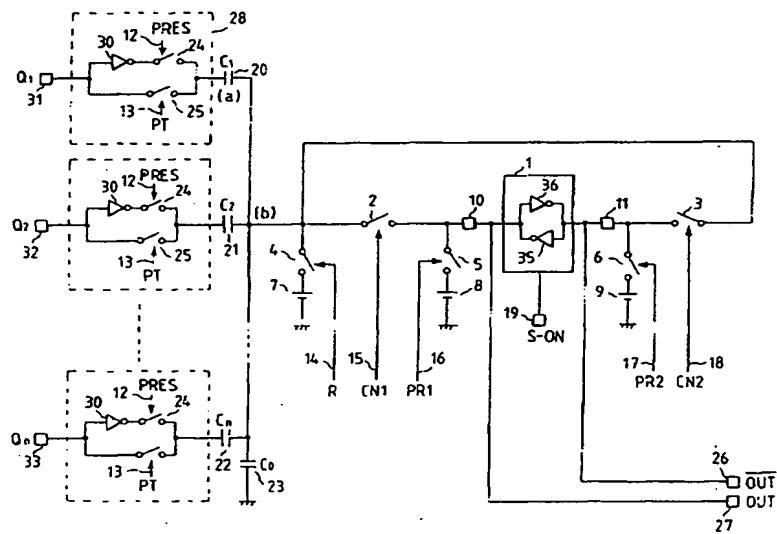
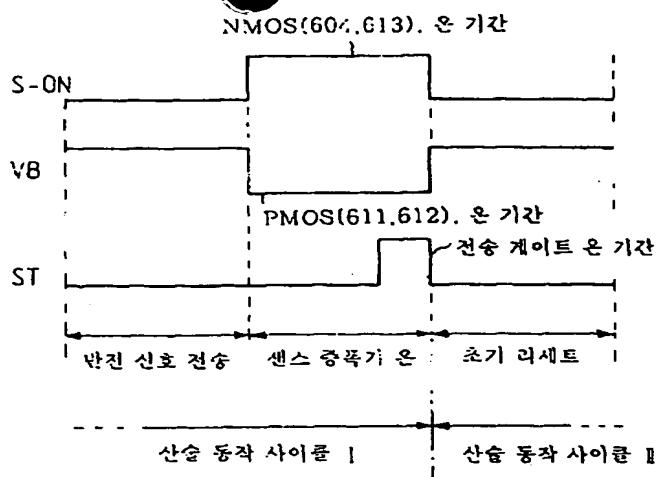
청구항 22

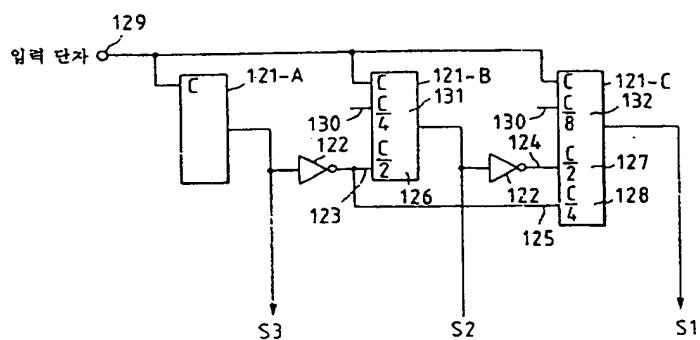
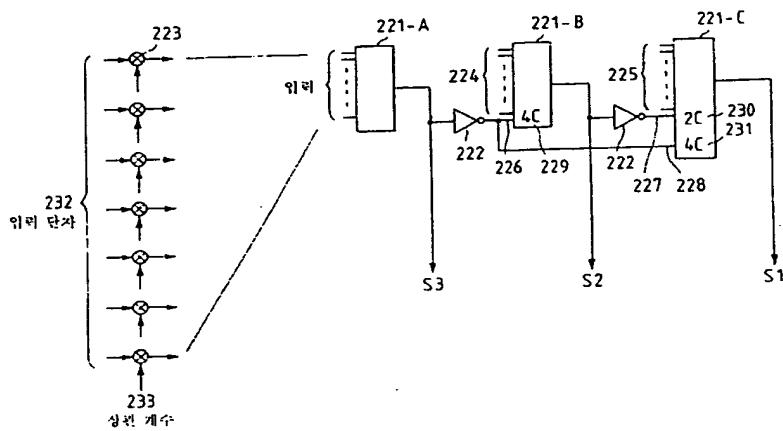
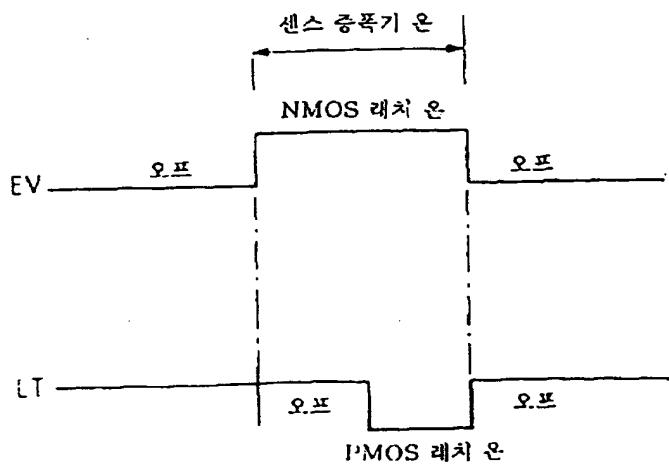
제17항의 신호 변환기를 포함하는 신호 처리 시스템.

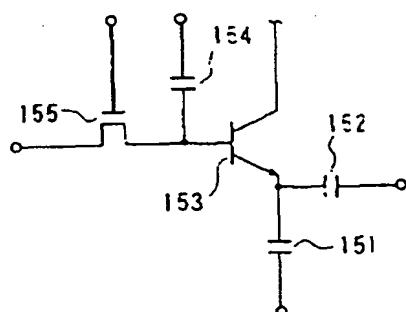
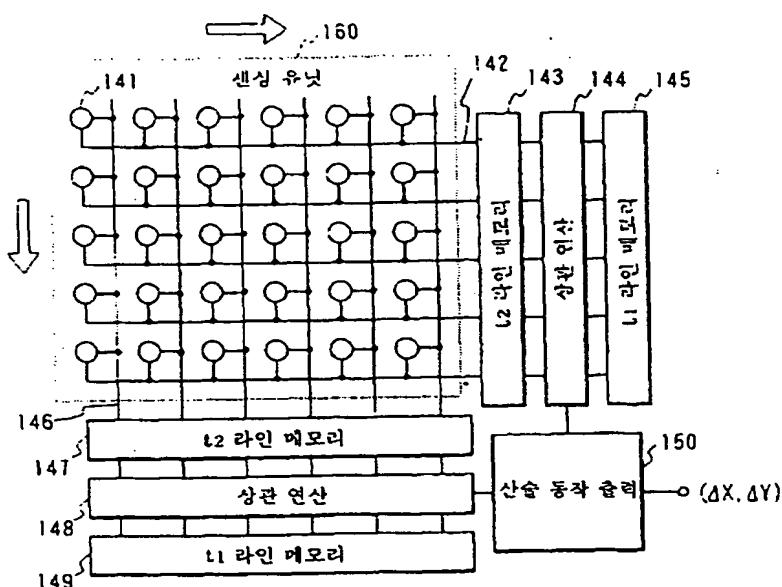
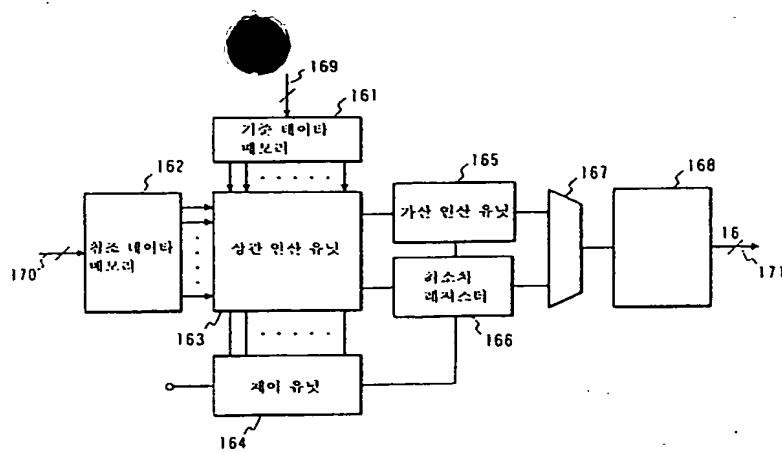
도면

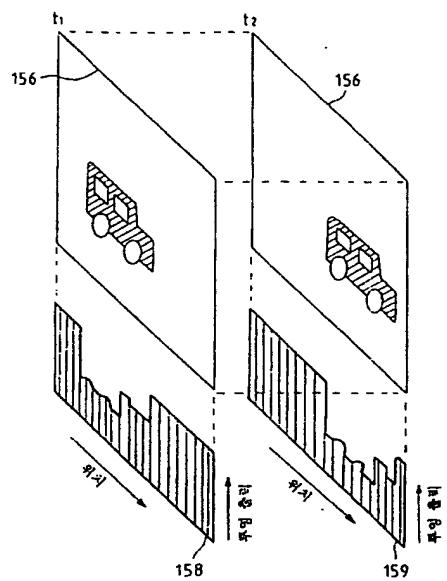












DE 696 21 662 T 2

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ Übersetzung der
europäischen Patentschrift
⑯ EP 0 725 357 B 1
⑯ DE 696 21 662 T 2

⑯ Int. Cl. 7:
H 03 K 19/23

G 06 F 7/00
G 06 J 1/00
H 03 K 5/24
G 06 F 7/02
G 06 F 17/15
G 06 F 7/60
H 03 M 1/42
H 03 M 1/80
G 06 T 7/20

- ⑯ Deutsches Aktenzeichen: 696 21 662.0
⑯ Europäisches Aktenzeichen: 96 101 268.9
⑯ Europäischer Anmeldetag: 30. 1. 1996
⑯ Erstveröffentlichung durch das EPA: 7. 8. 1996
⑯ Veröffentlichungstag der Patenterteilung beim EPA: 12. 6. 2002
⑯ Veröffentlichungstag im Patentblatt: 21. 11. 2002

⑯ Unionspriorität:
1409395 31. 01. 1995 JP
⑯ Patentinhaber:
Canon K.K., Tokio/Tokyo, JP
⑯ Vertreter:
Tiedtke, Bühlung, Kinne & Partner GbR, 80336
München
⑯ Benannte Vertragstaaten:
DE, FR, GB, IT, NL

⑯ Erfinder:
Ogawa, Katsuhisa, Ohta-ku, Tokyo, JP; Miyawaki,
Mamoru, Ohta-ku, Tokyo, JP

⑯ Halbleiteranordnung, Schaltung mit dieser Anordnung, und Korrelationsrechner, Signalwandler und
Signalverarbeitungssystem, in welchem die Schaltung angewandt wird

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die
Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen
das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen
und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden
ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht
worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 696 21 662 T 2

07.06.02

EP 17583

Europäisches Patent 0 725 357 der
Europäischen Patentanmeldung 96101268.9-2215
Übersetzung aus dem Englischen

Beschreibung

Halbleiteranordnung, Schaltung mit dieser Anordnung und
Korrelationsrechner, Signalwandler und
Signalverarbeitungssystem, das die Schaltung anwendet

ALLGEMEINER STAND DER TECHNIK

Gebiet der Erfindung

Die vorliegende Erfindung bezieht sich auf eine Halbleiteranordnung, eine Schaltung dieser Anordnung und auf Korrelationsrechner, Signalwandler und auf ein Signalverarbeitungssystem, in welchem die Schaltung angewandt wird, und insbesondere auf eine Halbleitereinrichtung, die parallele Signalverarbeitung ermöglicht, auf eine Schaltung mit der Einrichtung und eine Korrelationsrecheneinrichtung, auf einen Signalumsetzer, der über einen A/D-Wandler (Analog-Digital-Wandler) oder einen D/A-Wandler (Digital-Analog-Wandler) verfügt, und auf ein Signalverarbeitungssystem, das die Schaltung verwendet.

Zum Stand der Technik

In den letzten Jahren ist mit dem Anstieg der Signalverarbeitungsgeschwindigkeit es wichtig geworden, kostengünstige Rechenoperationsgeräte zu realisieren, die einen großen Umfang an Daten mit hoher Geschwindigkeit verarbeiten. Von diesen Geräten ist die Nachfrage noch stärker für ein Rechengerät, das bei der Bewegungsfeststellung dynamischer Bilder, Hochpräzisionsanalog-Digitalwandler und Digital-Analogwandler und dergleichen geworden.

08.08.02

Da eine Technik, wie eine Streuspektrumkommunikation (SS-Kommunikation) Hochgeschwindigkeit erfordert, Mehrfachsignaleingabeverarbeitung im GHz-Bereich in manchen Fällen, ist die Nachfrage nach Parallelverarbeitung größer Datenmengen stärker geworden, zusätzlich zu dem weiteren Anstieg der Verarbeitungsgeschwindigkeit und -präzision.

Wenn in herkömmlicher Weise derartige Funktionen realisiert werden unter Verwendung integrierter Halbleiterschaltungen, werden parallele Rechenoperationen erzielt unter Verwendung einer Vielzahl von Halbleiterchips, um so die Hochgeschwindigkeits-Rechenverarbeitung erzielen zu können. Da jedoch die Verwendung einer Vielzahl von Halbleiterchips zu einem Anstieg des Schaltungsaufwandes führt, ist der Versuch unternommen worden, eine Ein-Chip-Schaltung unter Verwendung der neuesten Mikromusterregel zu realisieren.

Da trotz dieses Versuchs die herkömmliche Schaltungsanordnung grundsätzlich einen großen Schaltungsumfang aufweist, erfordert dies einen bemerkenswert großen Schaltungsumfang, selbst wenn die neueste Mikromusterungsregel angewandt wird, und die Schaltungsintegration auf einem Chip bereitet viele Schwierigkeiten.

Wenn, wie allgemein bekannt, die Anzahl von Bits eines zu verarbeitenden Signals ansteigt, wächst auch der Schaltungsumfang eines solchen Chips stark an. Der Schaltungsumfang erhöht sich beispielsweise proportional zum Quadrat der Anzahl von zu verarbeitenden Bits.

Wie die Anzahl von Bits ansteigt, so steigen auch die Herstellkosten für die Geräte folglich an, und das Gerät hat einen unerwünschten Schaltungsumfang, der praktisch nicht realisierbar ist. Ein Bewegungsfeststellchip, das beispielsweise nach dem MPEG2-Verfahren arbeitet, das vorgeschlagen worden ist als Kompressions-/Dekompressionsverfahren dynamischer Bilder, ist bisher noch nicht auf einem einzelnen Chip integriert worden. Das Dokument JP-A-01 081 082 offenbart eine Rechenschaltung. Das Dokument JP-A-01 081 082 schlägt vor, die

07.06.02

EP 17583

Verarbeitung mit hoher Geschwindigkeit durch ein einfach aufgebautes Wichtungsmittel zu realisieren, das aus einer Vielzahl von kapazitiven Elementen besteht und ein Vergleichsmittel in gemeinsamer Verbindung hat.

ZUSAMMENFASSUNG DER ERFINDUNG

Die vorliegende Erfindung ist in Hinsicht auf die obige Situation entstanden und hat zur Aufgabe, eine Halbleitereinrichtung zu schaffen, die paralleles Verarbeiten ermöglicht und Verarbeitung von Daten insbesondere ein großer Umfang von Daten, mit hoher Genauigkeit und mit hoher Geschwindigkeit.

Eine andere Aufgabe der vorliegenden Erfindung ist es, eine kostengünstige Halbleitereinrichtung zu schaffen, die eine Hochgeschwindigkeitsrechenoperation erzielen kann.

Eine noch andere Aufgabe der vorliegenden Erfindung ist es, eine Halbleitereinrichtung zu schaffen, die den Schaltungsumfang daran hindert, extrem anzuwachsen, selbst wenn die Anzahl von erforderlichen Bits für eine Rechenoperationsverarbeitung anwächst.

Eine noch andere Aufgabe der vorliegenden Erfindung ist es, eine Halbleitereinrichtung zu schaffen, die Rechenoperationsverarbeitung bei niedrigem Stromverbrauch ausführt.

Eine noch andere Aufgabe der vorliegenden Erfindung ist es, eine Halbleitereinrichtung zu schaffen, in der einige Anschlüsse von Kondensatormitteln verbunden sind mit Vielfacheingangsanschlüssen über einen ersten Schalter, der eine positive oder negative Logik eines eingegebenen Signals auswählen kann, wobei die anderen Anschlüsse des Kondensatormittels gemeinsam verbunden sind mit einer ersten Differentialeingabeeinheit eines differentiellen Ein/Ausgabeleseverstärkers über einen zweiten Schalter, und der

gemeinsam angeschlossene Abschnitt des Kondensators ist verbunden mit einer zweiten Differentialeingabeeinheit und vom differentiellen Ein/Ausgabeleseverstärker über einen dritten Schalter, wobei die zweite Differentialeingabeeinheit eine Polarität hat, die derjenigen der ersten Differentialeingabeeinheit entgegengesetzt ist.

Eine noch andere Aufgabe der vorliegenden Erfindung ist es, eine Schaltung zu schaffen, die die Halbleitereinrichtung hat, wie ein Korrelationsrechengerät, einen Signalumsetzer mit A/D- und D/A-Wandlern und ein Signalverarbeitungssystem.

KURZE BESCHREIBUNG DER ZEICHNUNG

Figuren 1, 5 und 6 sind schematische Schaltbilder zur Erläuterung von Beispielen der Schaltungsanordnungen nach der vorliegenden Erfindung;

Fig. 2 ist eine schematische Zeittafel zur Erläuterung eines Beispiels der Ansteuerzeitvorgaben der in Fig. 1 gezeigten Schaltung;

Fig. 3 ist ein schematisches Schaltbild zur Erläuterung eines Beispiels eines Differentialeingabe/Ausgabe-Leseverstärkers;

Fig. 4 ist eine schematische Zeittafel zur Erläuterung eines Beispiels des Betriebs vom Leseverstärker des Differentialeingabe/Ausgabetyps;

Fig. 7 ist eine Zeittafel zur Erläuterung eines Beispiels vom Betrieb, wenn ein in Fig. 6 gezeigter Leseverstärker des Zwischenspeichertyps EIN ist;

Fig. 8 ist ein schematisches Schaltbild zur Erläuterung eines Beispiels, in dem die vorliegende Erfindung in einer Korrelationsrechenschaltung verwendet wird;

Fig. 9 ist ein schematisches Schaltbild zur Erläuterung eines Beispiels, bei dem die vorliegende Erfindung bei einem A/D-Wandler angewandt wird;

07.06.02

EP 17683

Fig. 10 ist ein schematisches Blockdiagramm zur Erläuterung eines Beispiels, in dem die vorliegende Erfindung bei einer Bewegungsfeststellschaltung angewandt wird;

Fig. 11A ist ein schematisches Blockschatzbild zur Erläuterung eines Beispiels, bei dem die vorliegende Erfindung bei einer Schaltung zum Ausführen von Bildverarbeitung angewandt wird;

Fig. 11B ist ein schematisches Schaltbild zur Erläuterung eines Beispiels der Schaltungsanordnung für ein Pixel eines optischen Sensors in Fig. 11A; und

Fig. 11C ist eine schematische Ansicht zur Erläuterung eines Beispiels von den Rechenoperationsinhalten der Bildverarbeitung.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSBEISPIELE

Unter Verwendung der Potentialdifferenz zwischen Signalen mit unterschiedlichen Polaritäten und Eingaben in einen Leseverstärker des Differentialeingabe/Ausgabetyps kann nach der vorliegenden Erfindung eine Hochpräzisionsverarbeitung realisiert werden.

Genauer gesagt, nach der vorliegenden Erfindung sind vorgesehen: erste Umschaltmittel, die eine positive oder negative Logik eines eingegebenen Signals auswählen, und bei der die Anschlüsse der anderen Seite des Kondensatormittels gemeinsam mit einem ersten Differentialeingangsmittel eines Leseverstärkers des Differentialeingangs-/ausgangstyps über zweite Umschaltmittel verbunden sind und der gemeinsam verbundene Abschnitt des Kondensatormittels über ein drittes Umschaltmittel mit einem zweiten Differentialeingangsmittel des Leseverstärkers vom Differentialeingangs-/ausgangstyp verbunden ist, wobei das zweite Differentialeingangsmittel eine entgegengesetzte Polarität zu der des ersten Differentialeingangsmittels hat, wodurch eine Halbleitereinrichtung realisiert wird, die eine logische Amplitude vom Differentialausgang mit einer Polarität gemäß der

07.06.02

eingegebenen Potentialdifferenz abgeben kann und die obenerwähnten Aufgaben lösen kann.

In der Halbleitereinrichtung werden die positiven und negativen Logiksignaländerungskomponenten (haben denselben Absolutwert, aber entgegengesetzte Polarität), die an dem gemeinsamen Verbindungsabschnitt des Vielfacheingabekondensatormittels über die Kondensatormittel auftreten, in den ersten und zweiten Differentialeingangsanschluß des Leseverstärkers vom Differentialeingangs-/Ausgangstyp geschrieben über das zweite und dritte Schaltmittel, um den Leseverstärker des Differentialeingangs-/Ausgangstyps einzuschalten, wodurch hochpräzise, parallele Rechenoperationsverarbeitung mit Hochgeschwindigkeit erzielt wird und der Schaltungsumfang und der Stromverbrauch werden gesenkt.

Da eine hohe Empfindlichkeit erzielt wird, können die Anzahl von parallel eingegebenen Signalen erhöht werden (das heißt, bis zu 50 und mehreren 100 Eingangssignalen), wobei die Anzahl paralleler Verarbeitungsstufen pro Zyklus erhöht werden kann, und ein System mit Hochgeschwindigkeit läßt sich als Ganzes realisieren.

Eine Halbleiterschaltung hat eine Vielzahl von Halbleitereinrichtungen, wie zuvor beschrieben, und gibt die Ausgangssignale ein und/oder invertiert Ausgangssignale der ersten Halbleitereinrichtung der Vielzahl von Halbleitereinrichtungen an die zweite Halbleitereinrichtung, das heißt, Majoritätsschaltungen sind abhängig verbunden, wodurch verschiedene funktionale Rechenoperationen mit einfacher Anordnung realisierbar sind.

In der Halbleiterschaltung, die die Halbleitereinrichtungen verwendet, wenn die minimale Kapazität des Kondensatormittels gemäß den vielfachen Eingangsanschlüssen dargestellt wird durch C, wird des weiteren der Gesamtkapazitätswert der Kapazitäten der gemeinsam verbundenen Kondensatormittel auf im wesentlichen ein ungeradzahliges Vielfaches gesetzt, das heißt, exakt oder

07.06.02

EP 17583

grob ein ungeradzahliges Vielfaches der Kapazität C, und die Vielzahl von Stufen der Majoritätsschaltungen werden verwendet, womit eine integrierte Schaltung erreicht wird, auf der 3-Bit-Binärschaltungen mit einer einfachen Anordnung erzielt werden, die eine geringe Anzahl von Stufen hat und die hochdicht integriert sind.

Unter Verwendung der Halbleitereinrichtung nach der vorliegenden Erfindung lässt sich ein Korrelationsrechengerät zum Ausführen einer Korrelationsrechenoperation von Eingangssignalen an dem Mehrfacheingangsanschluß ein Signalumsetzer, wie ein A/D-Wandler zur Eingabe eines analogen Signals an die Halbleitereinrichtung und Ausgeben eines digitalen Signals gemäß dem analogen Signal und ein D/A-Wandler zur Eingabe eines digitalen Signals an die Halbleitereinrichtung und Ausgeben eines analogen Signals gemäß dem digitalen Signal, ein Signalverarbeitungssystem mit wenigstens einem der arithmetischen Rechengerät, und der Signalwandler, wie die A/D- und D/A-Wandler und dergleichen realisieren. Gemäß der vorliegenden Erfindung kann in jedem Fall ein Gerät, ein Wandler oder ein Signalverarbeitungssystem, das eine präzise Signalübertragung ermöglicht, einen geringen Schaltungsaufwand hat und zur Hochgeschwindigkeitsverarbeitung fähig ist und einen breiten Anwendungsbereich hat, realisieren. Dieses System kann des weiteren eine Bildeingabeeinrichtung enthalten zur Eingabe eines Bildsignals und eine Speichereinrichtung zum Speichern von Informationen, womit des weiteren der Anwendungsbereich von diesem System erweitert wird.

[Erstes Ausführungsbeispiel]

Fig. 1 ist ein schematisches Schaltbild nach dem ersten Ausführungsbeispiel der vorliegenden Erfindung. Unter Bezug auf Fig. 1 hat ein Leseverstärker 1 vom Differentialeingangs/Ausgangstyp einen ersten Eingangsanschluß 10 (Pluseingangsanschluß) und einen zweiten Eingangsanschluß 11 (Minuseingangsanschluß). Der erste Eingangsanschluß 10 kann als Eingangsanschluß dienen, und der zweite Eingangsanschluß 11 als

00:00:00

Pluseingangsanschluß. Der Verstärker 1 hat auch einen invertierten Ausgangsanschluß 26 und einen nicht invertierten Ausgangsanschluß 27. Wenn der Leseverstärker 1 vom Differentialeingangs/Ausgangstyp einen Leseverstärker des RS-Flipflop-Typs in Zwischenspeicher-Differentialschaltung hat, da der Eingangs- und Ausgangsanschluß gemeinsam verwendet wird, der erste Eingangsanschluß 10 und nicht invertierte Ausgangsanschluß 27 gemeinsam verbunden sind, und der zweite Eingangsanschluß 11 und der invertierte Ausgangsanschluß 26 sind gemeinsam verbunden. Die Arbeitsweise dieses Verstärkers ist nachstehend anhand Fig. 5 beschrieben. Der Leseverstärker 1 vom Differentialeingabe-/ausgabetyp wird EIN/AUS-gesteuert durch ein Steuersignal durch ein Steuersignal 19 S-ON.

Bei der Eingabestufe werden andererseits n parallele Mehrfacheingangssignale 31, 32, ..., 33 als Eingangssignale Q₁ bis Q_n bezeichnet. n Eingangssignale sind jeweilige Eingangssignale, um Schalteingangsblöcke 28 zurückzusetzen. Die Arbeitsweise eines jeden Rücksetzschalteingabeblocks 28 ist nachstehend beschrieben, während das Eingangssignal Q₁ als Beispiel genommen wird. Das Eingangssignal Q₁ ist logisch über einen Inverter 30 invertiert, und das invertierte Signal wird dem Kondensator C₁ 20 über einen ersten Signalrücksetzschatzer 24 eingegeben, wodurch ein logisches Rücksetzen eines Einganganschlusses a vom Kondensator C₁ 20 zum Eingangssignal Q₁ erfolgt, wenn der erste Signalrücksetzschatzer 24 eingeschaltet ist. Der Signalrücksetzschatzer 24 wird gesteuert durch ein Signal PRES 12. Andererseits wird das Eingangssignal Q₁ übertragen zum Kondensator C₁ über einen Signalübertragungsschalter 25, ohne den Inverter 30 zu durchlaufen. Der Signalübertragungsschalter 25 wird gesteuert durch ein Übertragungssteuersignal PT 13.

Angemerkt sei, daß das Eingangssignal und ein Signal, das auftritt bei einem Schwebeknoten b des gemeinsam verbundenen Anschlusses der Kondensatoren, die nachstehende Beziehung aufweisen. Q₁ bis Q_n seien n Eingangssignale, und C₁ bis C_n seien Kondensatoren, die mit den jeweiligen

07.06.02

EP 17583

Rücksetzschalteingangsblöcken 28 verbunden sind. Auch sei ΔV_1 bis ΔV_n die Potentialänderungsgröße aufgrund der eingegebenen Signale Q_1 bis Q_n aus einem Anfangszustand, wenn die Rücksetschalter 24 eingeschaltet sind, und ΔV_f sei die Potentialänderungsgröße des Schwebeknotens b. Die Gesamtsumme von Ladungen im Schwebeknoten b bleiben dieselben vor und nach der Signaleingabe (das Prinzip der Ladungserhalten) und wird ausgedrückt durch die nachstehende Gleichung (1):

$$C_1(\Delta V_1 - \Delta V_f) + C_2(\Delta V_2 - \Delta V_f) + \dots + C_n(\Delta V_n - \Delta V_f) = C_0 \Delta V_f \quad \dots (1)$$

wobei C_0 eine Parasitärkapazität 23 oder dergleichen des Schwebeknotens b ist.

Wandelt man die obige Gleichung ab, so erhält man:

$$\Delta V_f = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [V] \quad \dots (2)$$

Genauer gesagt, die lineare Summe von Potentialänderungen an den jeweiligen mit C_x gewichteten Anschlüssen ist das Ausgangssignal als Potentialänderung des Schwebeknotens b. Die Eingangssignale Q_1 bis Q_n können entweder analoge Signale oder digitale Signale sein. Im Falle analoger Signale kann die Schaltung als ein Neuronenelement zur Wichtung und Feststellung der Größen der Eingangssignale an den jeweiligen Anschlüssen verwendet werden. Im Falle digitaler Signale kann andererseits eine Majoritätslogikschaltung zum Vergleichen der Zahlen von H- und L-Signalen der eingegebenen Signale gebildet werden. Ein erster Rücksetschalter 4 dient als Rücksetzmittel zum Rücksetzen des Schwebeknotens b auf ein Potential einer ersten Rücksetzspannungsquelle 7 und wird gesteuert von einem Steuersignal R 14. Ein zweiter Rücksetschalter 5 dient als Rücksetzmittel zur anfänglichen Rücksetzung des Eingangsanschlusses 10 vom Leseverstärker 1 des Differentialeingangstyps auf das Potential einer zweiten Rücksetzspannungsquelle 8 und wird gesteuert vom Steuersignal

07.06.02

PR1. Ein dritter Rücksetzschalter 6 dient als Rücksetzmittel zum Rücksetzen des Eingangssignals 11 auf eine Spannung einer zweiten Rücksetzstromversorgungsquelle 9 und wird gesteuert von einem Steuersignal PR2. Ein erster Signalübertragungsschalter 2 überträgt das eingegebene Rechenoperationsergebnis an den Schwebeknoten b zum Eingangsanschluß 10 des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp und wird gesteuert von einem Steuersignal 15 CN1. Ein zweiter Signalübertragungsschalter 3 überträgt das eingegebene Rechenoperationsergebnis an den Schwebeknoten b an den Eingangsanschluß 11 des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp und wird gesteuert vom Steuersignal 18 CN2.

Fig. 2 ist eine Zeittafel zum Erläutern eines Beispiels der Operationszeitvorgaben der Schaltung von diesem in Fig. 1 gezeigten Ausführungsbeispiel. Ein Beispiel des Betriebs dieses Ausführungsbeispiels ist nachstehend anhand Fig. 2 beschrieben.

Die Logiken von Signalen, die die Eingangsanschlüsse beaufschlagen, werden von den Invertern 30 umgekehrt. Da in diesem Zustand das Steuersignal 12 PRES im EIN-Zustand ist, werden die Eingangsanschlüsse a von den n Kondensatoren C_1, C_2, \dots, C_n rückgesetzt durch einen Wert der invertierten Logikpotentiale Q_1 (invertiert), Q_2 (invertiert), ..., Q_n (invertiert) der eingegebenen Signale Q_1, Q_2, \dots, Q_n über die Signalrücksetzschalter 24. Zur im wesentlichen derselben Zeit wird der erste Rücksetzschalter 4 eingeschaltet durch das Steuersignal 14 R, und der Schwebeknoten b als gemeinsamer Anschluß der Kondensatoren wird zurückgesetzt auf das erste Rücksetzpotential 7. Darüber hinaus werden der zweite und dritte Rücksetzschalter 5 und 6 eingeschaltet von den Steuersignalen PR1 und PR2, und die Eingangsanschlüsse 10 und 11 des Leseverstärkers vom Differentialeingangs-/ausgangstyp werden zurückgesetzt auf das zweite und dritte Rücksetzpotential 8 beziehungsweise 9. Wenn die Stromversorgungsspannung ein 5-V-System ist, werden diese Rücksetzpotentiale 7, 8 und 9 vorzugsweise 2,5 V verwenden, die Hälfte der

07.06.02

EP 17583

Stromversorgungsspannung. Die Rücksetzpotentiale sind jedoch nicht auf diese Spannung beschränkt, es können auch andere sein. Das erste Rücksetzpotential 7 muß nicht immer gleich dem zweiten und dritten Rücksetzpotential 8 und 9 sein, sondern sie können sich voneinander unterscheiden. In einigen Fällen kann das zweite und dritte Rücksetzpotential 8 und 9 ein Gleichspannungspotential sein, das um eine Spannung versetzt ist gemäß der Eingangsoffsetspannung des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp in entgegengesetzter Richtung und Aufheben der Offsetkomponenten des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp.

Eine Periode, in der zwei Anschlüsse von jedem Kondensator und zwei Anschlüsse vom Leseverstärker 1 vom Differentialeingangs-/ausgangstyp auf diese Weise zurückgesetzt werden, wird als Anfangsrücksetzperiode in Fig. 2 bezeichnet. Wenn die jeweiligen Knoten die Rücksetzpotentiale erreicht haben, werden die Rücksetschalter 24, 4, 5 und 6 ausgeschaltet, und die beiden Anschlüsse eines jeden Kondensators und das Potential des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp werden auf den Rücksetzpotentialen gehalten.

Wenn der Signalübertragungsimpuls PT eingeschaltet ist, werden die Signalübertragungsschalter 25 eingeschaltet, und nicht invertierte Signale Q_1, Q_2, \dots, Q_n werden gleichzeitig auf die Kondensatoren C_1, C_2, \dots, C_n übertragen. Wenn angenommen wird, daß die Stromversorgungsspannung ein 5-V-System ist, und das Eingangssignal ist ein Binärsignal von 0 V bei L-Pegel und 5 V (= Stromversorgungsspannung) bei H-Pegel, kann die Spannungsdifferenz zwischen dem Anfangsrücksetzpotential und dem Eingangssignal maximal 5 V wie die Signaländerungskomponente zu dieser Zeit betragen, das heißt, eine Potentialänderung kann gewonnen werden, die der Stromversorgungsspannung äquivalent ist. Die Potentialänderung am Schwebeknoten b erhöht sich folglich somit gemäß Gleichung (2). Die Potentialänderung am Schwebeknoten b zu dieser Zeit kann durch die nachstehende Gleichung (3) angegeben werden:

07.06.01

$$\Delta V_f(\text{nicht invertiert}) = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [\text{V}] \quad \dots (3)$$

Wobei der Wert von ΔV_x gleich -5 V ist (Rücksetzpotential von 5V → wenn das Eingangssignal 0V ist) oder +5 V (Rücksetzpotential von 0V → wenn das Eingangssignal 5V ist), und C_0 ist die Parasitärkapazität oder dergleichen vom Schwebepunkt b.

Da danach das Steuersignal 15 CN1 EIN ist, wird die Potentialvariation ΔV_f (nichtinvertiert) des Schwebeknotens b nach Änderung des Eingangssignals übertragen auf den Eingangsanschluß 10 des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp über den ersten Signalübertragungsschalter 2. Wenn das Potential des Eingangsanschlusses 10 sich geändert hat um ΔV_f (nichtinvertiert) vom zweiten Rücksetzpotential 8, wird das Steuersignal CN1 ausgeschaltet, und der Wert wird gehalten. In Fig. 2 entspricht diese Periode einer nichtinvertierten Signalübertragungsperiode.

Der Schwebeknoten b als gemeinsamer Anschluß der Kondensatoren wird zurückgesetzt auf das erste Rücksetzpotential 7 erneut über den ersten Rücksetschalter 4 durch das Steuersignal R. In Fig. 2 entspricht diese Periode einer Schweberücksetzperiode.

Zu dieser Zeit werden die Eingangsanschlüsse a der n Kondensatoren C_1, C_2, \dots, C_n zurückgesetzt durch die nichtinvertierten Logiken der Eingangssignale, das heißt durch nichtinvertierte Signale Q_1, Q_2, \dots, Q_n . Wenn in diesem Zustand das Steuersignal 12 PRES eingeschaltet wird, werden die ersten Signalrücksetschalter 24 eingeschaltet, und die Eingangsanschlüsse a werden erneut zurückgesetzt durch die Werte der invertierten Logikpotentiale Q_1 (invertiert), Q_2 (invertiert), ..., Q_n (invertiert) der eingegebenen Signale Q_1, Q_2, \dots, Q_n über die Inverter 30. Auf diese Weise werden die invertierten Logiken der Signale übertragen auf die Kondensatoren C_1, C_2, \dots, C_n als Eingangssignale, womit eine

07.06.03

Potentialänderung am Schwebeknoten b erzielt wird. Aus Gleichung (2) wird die Potentialänderung ΔV_f (invertiert) am Schwebeknoten b zu dieser Zeit zu:

$$\Delta V_f(\text{invertiert}) = \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \quad [\text{V}] \quad \dots (4)$$

Da das Steuersignal CN2 EIN ist, wird die Signalpotentialvariation ΔV_f (invertiert) vom Potential am Schwebeknoten b übertragen auf den Eingangsanschluß 11 des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp über den zweiten Signalübertragungsschalter 3. Wenn das Potential am Anschluß 11 sich geändert hat um ΔV_f (invertiert) vom dritten Rücksetzpotential 9, wird das Steuersignal CN2 ausgeschaltet, und der Wert wird gehalten. In Fig. 2 entspricht diese Periode einer invertierten Signalübertragungsperiode.

Nach Abschluß der invertierten Signalübertragungsperiode werden die Eingangsanschlüsse 10 und 11 vom Leseverstärker 1 vom Differentialeingangs-/ausgangstyp gehalten auf den jeweiligen Rücksetzpotentialen, die angegeben werden durch die Gleichungen (3) beziehungsweise (4). Potentiale V_{IN10} und V_{IN11} , die die Rücksetzpotential aufzeigen und an Eingangsanschlüssen 10 und 11 gehalten werden, können durch die Gleichungen (5) beziehungsweise (6) angegeben werden:

$$V_{IN10} = V_{RESET8} + \Delta V_f \text{ (nicht invertiert)}$$

$$= V_{RESET8} + \Delta V_f = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [\text{V}] \quad \dots (5)$$

wobei V_{RESET8} das Rücksetzpotential ist, das durch das zweite Rücksetzpotential 8 bestimmt ist.

07.06.02

$$V_{IN11} = V_{RESET9} + \Delta V_F \text{ (invertiert)}$$

$$= V_{RESET9} + \Delta V_f = \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \quad [V] \quad \dots (6)$$

wobei V_{RESET9} das Rücksetzpotential ist, das durch das dritte Rücksetzpotential 9 bestimmt ist.

Wenn angenommen wird, daß $V_{RESET8} = V_{RESET9}$ ist, wird die Differentialeingangspotentialdifferenz ΔV_{IN} vom Leseverstärker 1 des Differentialeingangs-/ausgangstyps angegeben mit:

$$\Delta V_{IN} = V_{IN10} - V_{IN11} = V_{RESET8} + \Delta V_f = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} - (V_{RESET9} + \Delta V_f = \frac{\sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x}) = \frac{\sum_{x=1}^n C_x \Delta V_x - C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} \quad \dots (7)$$

$$\left[\sum_{x=1}^n \Delta V_x \right] \text{ und } \left[\sum_{x=1}^n -\Delta V_x \right] \quad \dots (8)$$

Da die obige Formel (8) gleiche Absolutwerte der linearen Summen hat und entgegengesetzte Vorzeichen ($\Delta V_x = -\Delta V_x$ (invertiert)), kann Gleichung (7) auf folgende Weise umgeschrieben werden:

$$\Delta V_{IN} = \frac{\sum_{x=1}^n C_x \Delta V_x - C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (9)$$

Wenn die Stromversorgungsspannung beispielsweise ein 5-V-System ist, wie zuvor beschrieben, wird ΔV_x , angegeben nach Gleichung (9), ein Maximum von 5 V haben. Da die Signaländerung ΔV_+ (nichtinvertiert) des Eingangsanschlusses 10 durch die nichtinvertierte Logiksignalübertragung und die Signaländerung ΔV_+ (invertiert) des Eingangsanschlusses 11 durch die invertierte Logiksignalübertragung von Differentialeingangsoperationen des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp empfangen werden, werden sie zweimal so groß wie die

07.06.02

EP 17583

Signalladung auf einer Seite, wie in Gleichung (9) dargestellt. Die Potentialänderungen aus den Rücksetzpotentialen als kapazitive Rechenoperationsergebnisse können auf diese Weise erhöht werden vor dem Leseverstärker 1 vom Differentialeingangs-/ausgangstyp, wie in Gleichung (9) gezeigt, und der Leseverstärker 1 kann eine Hochgeschwindigkeitsverarbeitung in hoher Präzision ausführen.

Während die Differentialeingangspotentialdifferenz ΔV_{IN} , angegeben durch Gleichung (9), auf den Differentialeingangsanschlüssen gehalten wird, wird als nächstes der Leseverstärker 1 eingeschaltet durch das Steuersignal 19 S-ON. Nach Empfang der großen Differentialeingangspotentialdifferenz ΔV_{IN} wird mit dieser Operation der Leseverstärker 1 vom Differentialeingangs-/ausgangstyp aktiviert und findet parallel die arithmetischen Operationsergebnisse mit hoher Präzision und hoher Geschwindigkeit heraus. Dann liefert der Leseverstärker 1 ein nichtinvertiertes Ausgangssignal OUT 27 und ein invertiertes Ausgangssignal OUT 26 an die nächste Stufe als Differentialausgangssignale.

Wenn der Leseverstärker 1 vom Differentialeingangs-/ausgangstyp auf höhere Verstärkung eingestellt wird, kann die Anzahl zu verarbeitender paralleler Signale erhöht werden (bis zu 50 bis mehreren Hunderten), und die Rechenoperationsgeschwindigkeit des gesamten Verarbeitungssystems kann verbessert werden.

Fig. 3 zeigt ein Beispiel der Anordnung vom Leseverstärker 1 des Differentialeingangs-/ausgangstyps. Da dieselben Bezugszeichen in Fig. 3 Teile bedeuten, die dieselben Funktionen wie jene in Fig. 1 haben, wird hier eine detaillierte Beschreibung fortgelassen. In Fig. 3 wird das Differentialpotential, das mit der Gleichung (8) angegeben ist, zwischen den + und - Eingangsanschlüssen 10 und 11 vom Leseverstärker 1 des Differentialeingangs-/ausgangstyps gehalten über Prozesse aus der Anfangsrücksetzperiode zur

invertierten Signalübertragungsperiode, wie bereits im Ausführungsbeispiel beschrieben, das in Fig. 1 gezeigt ist.

Unter Bezug auf Fig. 3 wird die Spannung am Plus-Eingangsanschluß 10 angelegt an das Gate eines NMOS-Transistors 600, und die Spannung am Minus-Eingangsanschluß 11 wird angelegt an das Gate eines NMOS-Transistors 601. Die NMOS-Transistoren 600 und 601 bilden ein Differentialpaar mit einen gemeinsamen Sourceanschluß, und der Sourceanschluß ist verbunden mit dem Drain eines NMOS-Transistors 604, der eine Konstantstromoperation ausführt. Die Source des NMOS-Transistors 604 ist verbunden mit Massepotential, und das Gate ist gemeinsam verbunden mit dem Gate eines NMOS-Transistors 613. Das gemeinsam verbundene Gate ist verbunden mit dem Steuersignal S-ON 19. Wenn das Steuersignal S-ON 19 aktiviert ist, werden die NMOS-Transistoren 604 und 613 für eine Konstanstromquelle leitendgeschaltet, um als Konstantstromquelle zu fungieren, und der gemeinsame Sourceanschluß der NMOS-Transistoren 600 und 601 ist mit dem Drain vom NMOS-Transistor 604 verbunden.

Das Differentialpaar, das heißt, die NMOS-Transistoren 600 und 601, werden leitendgeschaltet. Aktive Lasten, das heißt ein PMOS-Transistor 602, dessen Gate-Drain-Weg in diesem Zustand verbunden ist mit dem Drain des NMOS-Transistors 600, und PMOS-Transistor 603, dessen Drain verbunden ist mit dem Drain des NMOS-Transistors 601, beginnen zu arbeiten. Die Source des PMOS-Transistors 602 ist verbunden mit einer Stromversorgung V_{dd} 84, das Gate ist mit dem Drain kurzgeschlossen und der Gate-Drain-Weg ist mit dem Drain des NMOS-Transistors 600 und dem Gate des PMOS-Transistors 603 verbunden und ist als ein Ausgang mit dem Gate eines NMOS-Transistors 609 als ein Transistor eines Differentialpaars der nächsten Stufe verbunden.

Die Source vom PMOS-Transistor 603 ist verbunden mit der Stromversorgung V_{dd} 84, und das Drain ist verbunden mit dem Drain vom NMOS-Transistor 601. Der Kontakt zwischen diesen Drain ist als Ausgang verbunden mit dem Gate eines NMOS-Transistors 610

07-06-00

EP 17583

als anderer Transistor des Differentialpaars in der nächsten Stufe.

Die NMOS-Transistoren 609 und 610 bilden ein Differentialpaar mit gemeinsam verbundem Sourceanschluß, der verbunden ist mit dem Drain vom NMOS-Transistor 613. Die Drain der NMOS-Transistoren 609 und 610 sind verbunden mit den Drain der PMOS-Transistoren 611 und 612 und dienen als aktive Lasten. Die Source der PMOS-Transistoren 611 und 612 sind mit der Stromversorgung V_{dd} 84 verbunden, und die Gate sind gemeinsam verbunden mit einer Spannungsquelle V_B . Die Spannungsquelle V_B liefert eine Spannung zum Leitendschalten und zum Sperren der Transistoren 611 und 612 synchron mit dem Steuersignal S-ON. Genauer gesagt, wenn das Steuersignal S-ON logisch aktiv ist, werden die NMOS-Transistoren 604 und 613 für die Konstantstromquelle leitendgeschaltet, und im Synchronismus mit der Leitendschaltoperation erzeugt die Spannungsquelle V_B eine Spannung zum Umschalten der PMOS-Transistoren 611 und 612 aus dem Sperrzustand in den Leitendzustand. Im Ergebnis werden die PMOS-Transistoren 611 und 612 leitendgeschaltet und dienen als aktive Lasten der Konstantstromquelle.

Während der Leseverstärker-Leitendschaltperiode, die in Fig. 2 gezeigt ist, ist das Steuersignal S-ON aktiviert, um einen Anfangsdifferentialverstärker zu bilden, bestehend aus dem Eingangsstufen-NMOS-Differentialpaar (600 und 601) und den aktiven PMOS-Lasten 602 und 603, und der Differentialverstärker der nächsten Stufe, bestehend aus dem Eingangsstufen-NMOS-Differentialpaar (609 und 610) und den Konstantstrom-PMOS-Lasten 611 und 612, womit der Block des Leseverstärkers 1 vom Differentialeingangs-/ausgangstyp leitendgeschaltet ist. In diesem Zustand wird die Differentialspannung ΔV_{IN} zwischen dem Plus- und Minuseingangsanschluß 10 und 11 verstärkt durch die zwei Differential-CMOS-Verstärker und tritt an den Drain des Differentialpaars der nächsten Stufe (609 und 610) als Differentialausgangssignale mit großer Amplitude auf. In einem Übertragungsgate 102, bestehend aus NMOS- und PMOS-Transistoren 620 und 621, die mit dem NMOS-Transistor 610 verbunden sind, und

07.06.02

einem Übertragungsgate 103, bestehend aus den NMOS- und PMOS-Transistoren 623 und 624, die mit dem Drain vom NMOS-Transistor 609 verbunden sind, wenn ein Steuersignal ST auf H-Pegel geht, das heißt leitendgeschaltet wird, werden die NMOS-Transistoren 621 und 624 leitendgeschaltet, und die PMOS-Transistoren 621 und 624 werden durch Einstellen ihrer Gates auf L über Inverter 622 und 625 leitendgeschaltet.

Wenn im Ergebnis die Spannungen als die Differentialausgangssignale erzielt werden durch den zweiten Differential-CMOS-Verstärker und geliefert werden an die Übertragungsgates 102 und 103, gibt ein Inverter 100, bestehend aus NMOS- und PMOS-Transistoren 626 und 627 in der nächsten Stufe, ein nichtinvertiertes Ausgangssignal ab, und ein Inverter 101, bestehend aus NMOS- und PMOS-Transistoren 628 und 629 in der nächsten Stufe, gibt ein invertiertes Ausgangssignal ab. Zu dieser Zeit sind gleichzeitig mit der Sperroperation des Steuersignals S-ON die Übertragungsgates 102 und 103 gesperrt. Auf diese Weise ist ein Rechenoperationszyklus abgeschlossen.

Selbst wenn die Übertragungsgates 102 und 103 leiten, werden die Gatespannungen gehalten, und die Ausgangssignale halten die vorherigen Ausgabezustände bis zum nächsten Rechenoperationszyklus. In diesem Zustand werden die Signale zur nächsten Stufe übertragen, und der Leseverstärker 1 vom Differentialeingangs-/ -ausgangstyp wartet auf die Verarbeitung im nächsten Zyklus. Fig. 4 ist eine Zeittafel von S-ON, V_B und ST. Fig. 4 zeigt die Arbeitsweise von der invertierten Signalübertragungsperiode zur nächsten Anfangsrücksetzperiode in Fig. 2 und zeigt die Zeitbeziehung zwischen dem Steuersignal S-ON zur Inbetriebnahme des Leseverstärkers 1, die invertierte Spannungsquelle V_B , die mit dem Signal S-ON synchronisiert ist, und das Steuersignal ST zum Steuern der Übertragungsgates 102 und 103 im Ausgabeabschnitt des Leseverstärkers 1. Selbst wenn sich das Steuersignal ST von H- auf L-Pegel ändert, halten die Ausgänge die Ausgangssignalzustände.

[Zweites Ausführungsbeispiel]

07.06.02

EP 17583

Das zweite Ausführungsbeispiel nach der vorliegenden Erfindung ist nachstehend anhand Fig. 5 beschrieben. Dieselben Bezugsszeichen in Fig. 5 bedeuten Teile mit denselben Funktionen wie in Fig. 1, und eine detaillierte Beschreibung dieser ist hier fortgelassen. In diesem Ausführungsbeispiel enthält der Leseverstärker 1 vom Differentialeingangs-/ -ausgangstyp einen Leseverstärker des Zwischenspeichertyps. Der Ausgangsanschluß 10 in Fig. 1 wird direkt ein Ausgangssignal OUT 27, welches an die nächste Stufe geliefert wird. Gleichermassen wird der Eingangsanschluß 11 in Fig. 1 direkt ein Ausgangssignal OUT (invertiert) 26 und liefert die invertierte Logik des Ausgangssignals OUT an die nächste Stufe.

Die Operation ist nachstehend anhand Fig. 2 beschrieben. Die Operationen aus der Anfangsrücksetzperiode zur invertierten Signalübertragungsperiode sind dieselben wie jene des ersten Ausführungsbeispiels, und eine Differenzspannung, die unten in Gleichung (10) angegeben ist, wird an den Ein-/ Ausgangsanschlüssen 10 und 11 in Fig. 5 erzeugt:

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (10)$$

Der Leseverstärker des Differentialeingangs-/ -ausgangstyps enthält einen RS-Zwischenspeicher, der gebildet ist aus Invertern 31 und 32, und der Leseverstärker 1 des Zwischenspeichertyps wird leitend-/ sperrendgesteuert vom Steuersignal S-ON.

Nach Verstreichen der invertierten Signalübertragungsperiode, die in Fig. 2 gezeigt ist, wird angenommen, daß die Potentialbeziehung zwischen den Eingangsanschlüssen 10 und 11 des Leseverstärkers 1 vom Zwischenspeichertyp der Beziehung $V_{IN10} > V_{IN11}$ genügt, und auch der Beziehung:

07.06.02

EP 17583

$$|V_{IN10} - V_{RESET8}| = |V_{IN11} - V_{RESET9}| = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (11)$$

Dann kann die Gleichung (11) umgeschrieben werden als Gleichung (12) oder als Gleichung (13):

$$V_{IN10} - V_{RESET8} = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (12)$$

$$V_{IN11} = V_{RESET9} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (13)$$

für $V_{RESET8} = V_{RESET9}$.

Wenn der Leseverstärker 1 vom Zwischenspeichertyp eingeschaltet ist durch Einstellen des Steuersignals S-ON auf H-Pegel, während die Potentiale, die durch die Gleichungen (12) und (13) angegeben sind, auf den Eingangsanschlüssen 10 und 11 gehalten werden, driftet das Potential V_{IN10} , das höher ist als das Rücksetzpotential des Eingangsanschlusses 10, in Richtung eines höheren Potentials aufgrund der positiven Rückkopplungswirkung des Leseverstärkers 1 vom Zwischenspeichertyp, und letztlich erfolgt eine Stabilisierung bei der Stromversorgungsspannung V_{dd} .

Andererseits driftet das Potential V_{IN11} , das niedriger ist als das Rücksetzpotential des Eingangsanschlusses 11, gleichermaßen auf ein niedrigeres Potential aufgrund der positiven Rückkopplungswirkung und stabilisiert sich letztlich beim Massepotential. Wenn $V_{IN10} < V_{IN11}$ stabilisiert sich gleichermaßen das Potential des Eingangsanschlusses 10 letztlich auf Massepotential, und dasjenige des Eingangsanschlusses 11 stabilisiert sich letztlich auf der Stromversorgungsspannung V_{dd} . Wenn auf diese Weise die Eingangsanschlüsse eingestellt werden auf eine große Potentialdifferenz, bevor der Leseverstärker 1

07-06-02
21

EP 17583

vom Zwischenspeichertyp eingeschaltet ist, kann eine hochpräzise Hochgeschwindigkeitsrechenoperation realisiert werden. Wenn die Empfindlichkeit des Leseverstärkers 1 vom Zwischenspeichertyp verbessert ist, können Vielfacheingaben (das heißt 50 bis mehrere Hunderte von Eingängen) mathematischer Operationen erzielt werden, und die Anzahl paralleler Rechenoperationen kann verbessert werden, was zu einer höheren Rechenoperationsgeschwindigkeit des Signalverarbeitungssystems führt. Bei diesem Verfahren hat der Leseverstärker vom Zwischenspeichertyp selbst eine Datenspeicherfunktion und kann Daten bis zur nächsten Rechenoperation halten. Wenn aus diesem Grund die Anzahl paralleler Rechenoperationen anwächst und zu übertragende Signale zur nächsten Stufe relativ zueinander verzögert sind aufgrund der Verzögerungszeit der Verbindungsdrähte, oder Störungen aufgrund Übersprechens in Signalen gemischt sind, werden die Ausgangssignale aus dem Leseverstärker des Zwischenspeichertyps folglich eine hochpräzise Signalübertragung gemäß den grundlegenden Rechenoperationstakten realisieren, da sie zwischengespeichert sind, womit eine hochgenaue parallele Rechenoperationsverarbeitung sichergestellt ist.

Die Eingangsanschlüsse 10 und 11 vom Leseverstärker des Zwischenspeichertyps können das Rechenoperationsergebnis OUT und das invertierte Logikausgangssignal des Rechenoperationsergebnisses OUT zur nächsten Stufe übertragen. Aus diesem Grund können diese Ausgangssignale übertragen werden zur nächsten Stufe als Differentialausgangssignale. Wenn das nächste Verarbeitungssystem Mehrfacheingangsanschlüsse hat, die in der Eingangsstufe von Fig. 1 oder von Fig. 5 dargestellt sind, können das Ausgangssignal OUT 27 und das invertierte Signal OUT (invertiert) 26 direkt verbunden werden mit den Signalübertragungsschaltern 25 und den Signalrücksetzschaltern 24, die mit den Eingangsrechenoperationskondensatoren verbunden sind, ohne die Inverter 30 in den Rücksetzumschaltblöcken 28 in der nachfolgenden Verarbeitung zu verwenden, da diese Signale entgegengesetzte Logikpegel haben, womit die Schaltungsanordnung vereinfacht wird und der Stromverbrauch sinkt.

07-08-02

[Drittes Ausführungsbeispiel]

Nachstehend anhand Fig. 6 ist das dritte Ausführungsbeispiel nach der vorliegenden Erfindung beschrieben. Dieselben Bezugszeichen in Fig. 6 bedeuten Teile mit denselben Funktionen wie in Fig. 5, und eine detaillierte Beschreibung dieser ist hier fortgelassen. Die Schaltungsoperation dieses Ausführungsbeispiels ist anhand Fig. 2 beschrieben, aber die detaillierte Zeitvorgabe während der EIN-Periode des Leseverstärkers wird unabhängig anhand Fig. 7 beschrieben.

In jedem Rücksetzumschalteingangsblock 28 in Fig. 6 wird der erste Signalrücksetschalter 24 in Fig. 5 gebildet durch einen NMOS-Transistor 74, einen PMOS-Transistor 75 und durch einen Inverter 72 und dient als Übertragungs-Gage für den Signalrücksetschalter. Der Schalter 24 wird eingeschaltet, wenn das Steuersignal PRES 12 auf H ist und setzt den Eingangsanschluß a des Kondensators C₁ auf die invertierte Logik des Eingangssignals Q₁ zurück.

Im Rücksetzumschalteingangsblock 28 dient der Signalübertragungsschalter 25 in Fig. 5 als Übertragungs-Gate für die Signalübertragung, gebildet durch einen NMOS-Transistor 75, einen PMOS-Transistor 77 und einen Inverter 30 in Fig. 6. Der Schalter 25 wird eingeschaltet, wenn das Steuersignal PT 13 auf H ist und schreibt die nicht invertierte Logik des Eingangssignals Q₁ am Eingangsanschluß a des Kondensators C₁. Der erste Rücksetschalter 4, der zweite Rücksetschalter 5, der dritte Rücksetschalter 6, der nicht invertierte Logiksignalübertragungsschalter 2 und der invertierende Logiksignalübertragungsschalter 3 in Fig. 5 entsprechen andererseits den NMOS-Transistoren 70, 56, 57, 58 beziehungsweise 96. Ein Rücksetzpotential 83 ist ein Zielpotential zum Konvergieren, wenn die jeweiligen Knoten eingeschaltet werden durch die entsprechenden Schalter. In diesem Falle werden der erste, zweite und dritte Rücksetschalter ein identisches Rücksetzpotential 83 erhalten.

07-06-02

EP 17583

In der in Fig. 2 gezeigten Zeittafel, die die Arbeitsweise dieses Ausführungsbeispiels erläutert, werden die zugehörigen Schalter ein-/ausgeschaltet von der Anfangsrücksetzperiode zur invertierten Signalübertragungsperiode, und Knoten 10 und 11 der Eingangsanschlüsse haben eine Potentialdifferenz, die durch die nachstehende Gleichung (14) angegeben ist:

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (14)$$

Wenn die Potentialbeziehung zwischen den Eingangsanschlüssen 10 und 11 wie die Knoten der Beziehung $V_{IN10} > V_{IN11}$ genügen, wenn das Rücksetzpotential 73 dargestellt wird durch $V_{RESET83}$, werden Potentiale V_{IN10} und V_{IN11} jeweils angegeben durch die nachstehenden Gleichungen (15) beziehungsweise (16):

Eingangsanschluß 10:

$$V_{IN10} = V_{RESET83} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [V] \quad \dots (15)$$

Eingangsanschluß 11:

$$V_{IN11} = V_{RESET83} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [V] \quad \dots (16)$$

Die Eingangsanschlüsse 10 und 11 wie die Knoten werden gehalten auf den Potentialen, die durch die Gleichungen (15) und (16) angegeben sind.

In diesem Zustand, wie er in Fig. 7 gezeigt ist, wird während der Leseverstärker-EIN-Periode ein Signal EV eingeschaltet, um einen NMOS-Transistor 55 in den leitenden Zustand zu versetzen. NMOS-Transistoren 50 und 51, die zu dieser Zeit einen gemeinsamen Source-Anschluß haben, dienen als Differential-NMOS-Zwischenspeicher. Da in diesem Falle der NMOS-Transistor 51 leitet und der NMOS-Transistor 50 sperrt, ziehen

07.08.02

diese Transistoren die im Eingangsanschluß 11 akkumulierten Ladungen und das Potential, wie das niedrige Potential, vom Eingangsanschluß 11 (der Knoten zwischen Drain und den NMOS-Transistor 51 und dem Gate des NMOS-Transistors 50) driftet auf das Massepotential aufgrund der positiven Rückkopplungswirkung, während das Potential, wie das höhere Potential des Eingangsanschlusses 10 (der Knoten aus Drain vom NMOS-Transistor 50 und dem Gate vom NMOS-Transistor 51), gehalten wird. Wenn auf diese Weise eine Potentialdifferenz, die größer ist als eine Anfangspotentialdifferenz, zwischen den Eingangsanschlüssen 10 und 11 erzeugt wird, ändert sich ein Steuersignal LT79 von H auf L, um einen PMOS-Transistor 54 leitend zu schalten. Die Source vom PMOS-Transistor 54 ist mit einer Stromversorgung V_{dd} 84 verbunden, und wenn der PMOS-Transistor 54 leitet, dienen die PMOS-Transistoren 52 und 53, die einen gemeinsamen Source-Anschluß haben, als Differential-PMOS-Zwischenspeicher. Da im Ergebnis die NMOS- und PMOS-Zwischenspeicher vollständig leiten, nähert sich das Potential als unteres Potential von Eingangsanschluß 11 (der Knoten zwischen Drain und dem NMOS-Transistor 51 und dem Gate des NMOS-Transistors 50) schnell dem Massepotential aufgrund der positiven Rückkopplungswirkung, und das Potential des Eingangsanschlusses 10 (der Knoten zwischen Drain vom NMOS-Transistor 50 und dem Gate vom NMOS-Transistor 51) der Stromversorgungsspannung 84 aufgrund der positiven Rückkopplungswirkung, da das Potential des Eingangsanschlusses 11 schnell herunterfällt auf das Massepotential. Auf diese Weise wird der Eingangsanschluß 10 auf logisch H zwischengespeichert, und der Eingangsanschluß 11 wird auf logisch L zwischengespeichert.

Das Ausgangssignal OUT 27 aus dem Knoten 10 und das Ausgangssignal OUT (invertiert) 26 aus dem Knoten 11 werden jeweils übertragen zur nächsten Stufe als Differentialausgangssignale.

Wenn die Potentialbeziehung zwischen den Eingangsanschlüsse 10 und 11 der Bedingung $V_{IN10} > V_{IN11}$ genügt, wird der Eingangsanschluß 10 beim logischen Pegel L zeitweilig

07.06.02

EP 17583

gespeichert, und der Eingangsanschluß 11 wird auf logisch H durch dieselbe positive Rückkopplungsoperation zeitweilig gespeichert.

Wenn不同ialsignale mit einer großen Potentialdifferenz in die Signaleingangsanschlüsse des Leseverstärkers vom Zwischenspeichertyp eingegeben werden, ist eine hochpräzise Hochgeschwindigkeitsverarbeitung sichergestellt.

Durch Erhöhen der positiven Rückkopplungsverstärkung des Leseverstärkers vom Zwischenspeichertyp können vielfach eingegebene Rechenoperationen (das heißt 50 bis mehrere Hunderte) realisiert werden, wodurch die Anzahl paralleler Rechenoperationen verbessert und die Rechenoperationsgeschwindigkeit des Verarbeitungssystems erhöht wird.

Der Leseverstärker vom Zwischenspeichertyp selbst hat eine Datenspeicherfunktion und kann Daten halten, bis die nächste Rechenoperation folgt. Wenn aus diesem Grund die Anzahl paralleler Rechenoperationen ansteigt und auf die nächste Stufe zu übertragende Signale relativ zueinander verzögert sind aufgrund der Verzögerungszeit der Verbindungsdrähte oder von Störungen, die aufgrund von Übersprechen in die Signale gemischt sind, können die Ausgangssignale aus dem Leseverstärker vom Zwischenspeichertyp folglich eine hochpräzise Signalübertragung gemäß grundlegender Rechenoperationstakte durchführen, da sie zwischengespeichert werden, womit eine hochpräzise parallele Rechenoperationsverarbeitung sichergestellt ist.

Die Eingangsanschlüsse 10 und 11 des Verstärkers vom Zwischenspeichertyp können das Rechenoperationsergebnis OUT 27 und das invertierte Logikausgangssignal vom Rechenoperationsergebnis OUT 26 auf die nächste Stufe übertragen. Die Ausgangssignale können aus diesem Grund auf die nächste Stufe als Differentialausgangssignale übertragen werden. In der nachfolgenden Verarbeitung können aus diesem Grund das Ausgangssignal OUT 27 und das Signal OUT (invertiert) 26 direkt

07-406-010
26

eingegeben werden in den Eingangsanschluß (der Knoten zwischen den Sources des NMOS-Transistors 74 und des PMOS-Transistors 75) vom Signalübertragungsgate für den Signalrücksetzschalter und den Eingangsanschluß (der Knoten zwischen den Sources vom NMOS-Transistor 76 und dem PMOS-Transistor 77) vom Übertragungsgate für die Signalübertragung ohne Verwendung der Inverter 30 in diesen Rücksetzumschaltblöcken 28 der nächsten Stufe, womit eine einfache Schaltungsanordnung und eine Stromverbrauchverringerung und eine Verbesserung der Verarbeitungsgeschwindigkeit erzielt werden.

[Viertes Ausführungsbeispiel]

Das vierte Ausführungsbeispiel, in dem die zuvor beschriebene Halbleiteranordnung Verwendung findet für eine Korrelationsrechenoperationsschaltung, wird nachstehend anhand Fig. 8 beschrieben. In Fig. 8 umfaßt die Korrelationsrechenoperationsschaltung Majoritätsrechenoperationsschaltungsböcke 221-A, 221-B und 221-C, die jeweils sieben Eingangsanschlüsse haben, Inverter 222 und Vergleicher 223, die Signale an Eingangsanschlüssen 232 und zugehörige Korrelationskoeffizienten 233 vergleichen. Eingangsanschlüsse 224 und 225 der Majoritätsrechenoperationsschaltungsböcke 221-B und 221-C empfangen dieselben Signale wie sieben Eingangssignale, die der Majoritätsrechenoperationsschaltungsblock 221-A eingibt. Eingangsanschlüsse 226, 227 und 228 empfangen Ausgangssignale aus den vorherigen Majoritätsrechenoperations-Schaltungsböcken. Kondensatoren 229, 230 und 231 sind mit den Eingangsanschlüssen 226, 227 und 228 verbunden und haben Kapazitätswerte von 4C, 2C beziehungsweise 4C (C ist die Kapazität, die mit einem normalen Eingangsanschluß verbunden ist).

Unter Bezug auf Fig. 8 werden Eingangssignale in die Vergleicher 223 gemeinsam mit zugehörigen Korrelationskoeffizienten 233 eingegeben. Wenn das eingegebene Signal mit dem Korrelationseffizienten 233 übereinstimmt, gibt jeder Vergleicher 223 ein H-Signal ab; anderenfalls gibt er ein

07.06.02

EP 17583

L-Signal ab. Die Ausgangssignale aus den Vergleichern 223 werden eingegeben in die Majoritätsrechenoperations-Schaltungsböcke 221-A bis 221-C. Wenn beispielsweise die Ausgangssignale vom Vergleicher 223 eingegeben werden in den Majoritätsrechenoperations-Schaltungsblock mit 7 Eingängen 221-A, wenn die Anzahl von H-Signalen eine Majorität ist, das heißt, wenn vier oder mehr aus sieben Eingangssignalen H-Signale sind, gibt der Majoritätsrechenoperations-Schaltungsblock 221-A ein H-Signal ab. Spalte S3 in Tabelle 1 unten zeigt diesen Ausgangssignalzustand.

Der Majoritätsrechenoperations-Schaltungsblock 221-D mit insgesamt 11 Eingängen, das heißt, die sieben Eingangsanschlüsse 224 und der Eingangsanschluß 226 mit einer Kapazität 4C, äquivalent den vier Eingängen, gibt gleichermaßen ein H-Signal ab, wenn sechs oder mehr Eingänge auf H-Signal sind. Spalte S2 in Tabelle 1 unten zeigt diesen Ausgangssignalzustand. Der Majoritätsrechenoperations-Schaltungsblock 221-C mit insgesamt 13 Eingängen, das heißt, die sieben Eingangsanschlüsse 225, der Eingangsanschluß 228 mit einer Kapazität 4C, die äquivalent den vier Eingängen ist, und der Eingangsanschluß 227 mit einer Kapazität von 2C, die äquivalent ist zweier Eingänge, gibt ein H-Signal ab, wenn sieben oder mehr Eingangssignale H-Signale sind. Spalte S1 in Tabelle 1 unten zeigt diesen Ausgangssignalzustand.

Genauer gesagt, Spalte S3 zeigt die Ausgangswerte des Majoritätsrechenoperations-Schaltungsblocks mit sieben Eingängen in Einheiten der Anzahl von H-Signalen in den Eingangssignalen. Danach, wie in Fig. 8 gezeigt, wird das Ausgangssignal aus dem Majoritätsrechenoperations-Schaltungsblock 221-A mit sieben Eingängen invertiert vom Inverter 222, und das invertierte Ausgangssignal wird an den gewichteten Eingangsanschluß 226 des Majoritätsrechenoperations-Schaltungsblocks 221-B angelegt. Der Majoritätsrechenoperations-Schaltungsblock 221-B dient als eine Majoritätsrechenoperations-Schaltung mit 11 Eingängen, in der 11 "C" gemeinsam verbunden sind, vier von den 11 "C" empfangen ein Signal aus dem gewichteten Eingangsanschluß und die restlichen

07.00.00

sieben Eingangsanschlüsse empfangen dieselben Signale wie jene, die dem Majoritätsrechenoperations-Schaltungsblock 221-A eingegeben werden. Wenn beispielsweise vier oder mehr von sieben Eingängen auf H-Pegel sind, wird ein L-Pegelsignal angelegt an den gewichteten Eingangsanschluß, wie schon zuvor beschrieben. Wenn des weiteren sechs oder mehr von sieben Eingangssignalen in die Eingangsanschlüsse eingegeben werden, anders als den gewichteten Eingangsanschluß, H-Signale sind, dann bestimmt die Majoritätsrechenoperations-Schaltung mit 11 Eingängen eine Majorität insgesamt und gibt ein H-Signal ab. Wenn vier oder mehr und fünf oder weniger aus sieben Eingangssignalen H-Signale sind, wird ein L-Signal abgegeben, da die Majorität nicht bestimmt ist. Wenn andererseits drei oder weniger aus sieben Eingangssignalen H-Signale sind, wird ein H-Signal erzeugt für den gewichteten Eingangsanschluß 226. Wenn zwei oder mehr und drei oder weniger aus sieben Eingangssignalen H-Signale sind, da $4 + 2$ oder $4 + 3$ sechs oder mehr erzielt, wird Majorität bestimmt, und ein H-Signal wird abgegeben. Wenn andererseits eines oder weniger Eingangssignale ein H-Signal sind, da $4 + 0$ oder $4 + 1$ 6 oder weniger erzielt, wird ein L-Signal abgegeben. Spalte S2 in Tabelle 1 zeigt die Ausgangswerte des Majoritätsrechenoperations-Schaltungsblocks 221-B in Einheiten der Anzahl von H-Signalen.

Wenn auch die invertierten Eingangssignale der Ausgangssignale aus den Majoritätsrechenoperations-Schaltungsblöcken 221-A und 221-B an die zwei gewichteten Eingangsanschlüsse 228 beziehungsweise 227 angelegt werden, die x_4 - und x_2 -Kapazitätswerte 4C beziehungsweise 2C haben, arbeitet der Majoritätsrechenoperations-Schaltungsblock 221-C zum Erzielen der Ausgangssignale, die in Spalte 1 der Tabelle 1 gezeigt sind. Mit dieser Schaltungsanordnung, wie sie in Tabelle 1 gezeigt ist, kann die Anzahl von Signalen, die mit den Korrelationseffizienten einer Vielzahl von Eingangssignalen übereinstimmen, umgesetzt werden in einen 3-stelligen Binärwert, und der Binärwert kann abgegeben werden.

[Fünftes Ausführungsbeispiel]

07.06.02

Nachstehend anhand Fig. 9 und Tabelle 2 beschrieben ist das fünfte Ausführungsbeispiel. Dieses Ausführungsbeispiel stellt einen Analog-Digital-Präzisionswandler mit 3 Bit dar (wird nachstehend als A/D-Wandler bezeichnet), der die vorliegende Erfindung nutzt. Der in Fig. 9 gezeigte A/D-Wandler enthält Rechenoperationsschaltungsblöcke 121-A, 121-B und 121-C mit drei Eingängen sowie Inverter 122. Eingangsanschlüsse 123, 124 und 125 empfangen Ausgangssignale aus den vorherigen Rechenoperationsschaltungsblöcken. Kondensatoren 126, 127 und 128 sind mit den Eingangsanschlüssen 123, 124 und 125 verbunden und haben Kapazitätswerte von $C/2$, $C/2$ beziehungsweise $C/4$ (C ist die Kapazität, die mit einem normalen Eingangsanschluß verbunden ist). Ein Analoingeingabeananschluß 129 und Einstelleingangsanschlüsse 130 sind verbunden mit Kondensatoren 131 beziehungsweise 132, die über Kapazitätswerte von $C/4$ beziehungsweise $C/8$ verfügen. Die jeweiligen Blöcke haben digitale Ausgangsanschlüsse S1, S2, S3.

In diesem Ausführungsbeispiel ist ein Fall dargelegt, bei dem eine 5-V-Systemstromversorgung verwendet wird. Unter Bezug auf Fig. 9 wird der Leseverstärkereingang des Rechenoperationsschaltungsblocks 121-A auf 0 V zurückgesetzt, und jene der Rechenoperationsschaltungsblöcke 121-B und 121-C werden auf etwa 2,5 V zurückgesetzt. Die Signaleingangsanschlüsse 123, 124 und 125 und die Anschlüsse der Rechenoperationskondensatoren 132 der Einstelleingangsanschlüsse 130 werden auf 5 V zurückgesetzt. Zu dieser Zeit wird der Signaleingangsanschluß 129 auf 0 V gebracht. Es wird angenommen, daß danach die Einstelleingangsanschlüsse 130 auf 0 V sind, und die Eingangsspannung zum Eingabeananschluß 129 wird von 0 V geändert auf eine analoge Signalspannung. Wenn in diesem Falle im Rechenoperationsschaltungsblock 121-A die analoge Eingangsspannung etwa 2,5 V oder mehr erreicht hat, überschreitet die Leseverstärkereingangsspannung in Block 121-A eine logische Inversionsspannung (wird in diesem Falle mit 2,5 V angenommen, und ein H-Signal wird abgegeben. Spalte S3 in Tabelle 3 zeigt das Ausgangssignalergebnis.

Wenn das analoge Eingangssignal 2,5 V oder höher ist, dann ändert sich der Eingangsanschluß 123 von 5 V als Rücksetzpotential auf 0 V. Die Potentialänderung zu dieser Zeit am Eingangsanschluß des Leseverstärkers im Rechenoperationsschaltungsblock 121-B wird angegeben mit:

$$\{C \times VA - (C/2) \times 5 - (C/4) \times 5\} / (C + C/2 + C/4) [V]$$

wobei VA die analoge Eingangssignalspannung ist.

Aus dieser Gleichung ist ersichtlich, der Rechenoperationsschaltungsblock 121-B gibt ein H-Signal ab, wenn die analoge Signalspannung VA gleich oder höher als 3,7 V ist, und gibt ein L-Signal ab, wenn die Spannung VA gleich oder höher als 2,5 V ist und niedriger als 3,75 V. Spalte S2 in Tabelle 2 zeigt das Ausgabeergebnis.

Das Ausgangssignal vom Rechenoperationsschaltungsblock 121-C ist in Spalte S1 in Tabelle 2 gleichermaßen gezeigt.

Gemäß diesem Ausführungsbeispiel, wie es in Tabelle 2 dargestellt ist, kann ein A/D-Wandler, der eine analoge Signalspannung in ein digitales 3-Bit-Signal umsetzt und das digitale Signal abgibt, realisiert werden durch eine kleine Schaltungsanordnung, die eine hohe Rechenoperationsgeschwindigkeit und einen geringen Stromverbrauchsbedarf sicherstellt.

Dieses Ausführungsbeispiel ist dargestellt worden durch einen A/D-Wandler mit 3 Bit. Die vorliegende Erfindung ist jedoch nicht darauf beschränkt, und die Anzahl von Bits kann leicht erhöht werden.

In diesem Ausführungsbeispiel ist ein A/D-Wandler des Überlagerungstyps unter Verwendung von Kondensatoren dargelegt worden. Jedoch ist die vorliegende Erfindung nicht hierauf beschränkt. Beispielsweise kann die vorliegende Erfindung angewandt werden bei einem Codierschaltungsabschnitt eines A/D-Wandlers, der eine A/D-Umsetzung in der Weise ausführt, daß Vergleicher Signale vergleichen, die einer Widerstandsanordnung

07-06-02
31

eingegeben werden, und einem Bezugssignal, und ein Codierer codiert die Vergleichsergebnisse, die solchermaßen gewonnen werden, wobei dieselben Wirkungen wie zuvor beschrieben erzielbar sind.

Im Schaltungsblock, in dem ein Anschluß eines Kondensatormittels gemäß Mehrfacheingangsanschlüssen gemeinsam verbunden ist, wie zuvor beschrieben, und ein gemeinsamer Anschluß mit demselben Leseverstärker verbunden ist, wird eine Gesamtheit der Kapazitäten der Kondensatormittel grob ein ungeradzahliges Vielfach von C , welches ein Minimum eines Kondensatormittels ist, das mit dem Mehrfacheingangsanschlüssen verbunden ist.

Wenn eine Korrelationsschaltung keinen Steuereingangsanschluß hat, dann haben alle mit den Eingangsanschlüssen verbundenen Kondensatoren einen Minimalwert. Wenn andererseits die Korrelationsschaltung Steuereingangsanschlüsse hat, wie zuvor beschrieben, beispielsweise anhand des in Fig. 8 dargestellten vierten Ausführungsbeispiels, dann werden die Kapazitäten, die mit den Steuereingangsanschlüssen verbunden sind, geradzahlige Vielzahlen von C , wie $2C$ und $4C$, und die Gesamtheit der Kapazitäten dieser Anschlüsse und einer Ungeradzahl der Eingangssignalanschlüsse wird im wesentlichen ein ungeradzahliger Vielfachwert von C . Mit dieser Anordnung läßt sich ein klarer Vergleich mit dem gewünschten Bezugswert erzielen, womit die Rechenoperationsgenauigkeit verbessert wird.

In der obigen Beschreibung ist die Korrelationsschaltung dargelegt worden. Im Falle eines binären D/A-Wandlers wird die Kapazität des nächsten Bit $2C$, wenn die Signaleingabekapazität des geringstwertigen Bit (LSB) dargestellt wird durch C , das im zweiten nächsten Bit $4C$ ist und dergleichen, das heißt, die Kapazität eines jeden Bit nimmt einen Wert an, der doppelt so groß ist wie beim unmittelbar vorhergehenden Bit, und die Gesamtheit der Kapazitäten der Vielfacheingangsanschlüsse wird

im wesentlichen ein ungeradzahliger Vielfachwert von C, womit ein hochpräziser D/A-Wandler realisiert ist.

Hinsichtlich des A/D-Wandlers, wie er im in Fig. 9 gezeigten fünften Ausführungsbeispiel beschrieben wurde, ist die Anzahl von Unterscheidungspunkten zum Herausfinden, ob der analoge Signalpegel höher oder niedriger als 1/2 des Gesamtbereichs ist, eingestellt ist auf eine Ungeradzahl, das heißt, 1 (1C) im Block 121-A. Im Block 121-B beträgt die Anzahl von Unterscheidungspunkten gemäß den Herausfindkriterien 1/4, 2/4 und 3/4 gleich 3, das heißt, eine Ungeradzahl, und die Gesamtheit der Kapazitäten hat ein ungeradzahliges Vielfaches, $1 + 2 + 4 = 7$, um C/4 als Minimalwert zu erhalten. Der Block 121-C wird eingestellt auf C/8 (Minimalwert), C/4, C/2 und C werden nacheinander doppelt gehalten, das heißt, ein ungeradzahliger Wert von $1 + 2 + 4 + 8 = 15$.

Da mit dieser Anordnung hochpräzise Rechenoperationen erzielt werden können, ohne daß es unnötig großer Kapazitäten bedarf, können ein geringer Stromverbrauch und Hochgeschwindigkeitsrechenoperationen erzielt werden.

In der obigen Beschreibung ist die Korrelationsrechenoperationsschaltung und der A/D-Wandler erläutert worden. Die vorliegende Erfindung ist jedoch nicht auf diese Einheiten beschränkt. Beispielsweise kann die vorliegende Erfindung angewandt werden bei verschiedenen anderen Logikschaltungen, wie bei einem Digital-Analog-Wandler, einem Addierer, einem Subtrahierer und dergleichen, womit dieselben Wirkungen erzielt werden, wie sie zuvor beschrieben wurden.

Wenn die vorliegende Erfindung insbesondere angewandt wird bei einem D/A-Wandler, müssen die Kapazitäten nur eingestellt werden zweimal so groß wie der unmittelbar vorangehende Wert hin zu dem höchstwertigen Bit, wie 2C, 4C, 8C, ..., wenn die Kapazität des Eingangsanschlusses zum Empfangen von LSB-Daten dargestellt wird durch C, womit ein binärer D/A-Wandler realisiert ist. Die Ausgangssignale aus den gemeinsam

07.06.03
33

EP 17583

verbundenen Anschlüssen der Kondensatoren können in diesem Falle von einem Sourcefolgerverstärker aufgenommen werden.

[Sechstes Ausführungsbeispiel]

Nachstehend anhand Fig. 10 ist das sechste Ausführungsbeispiel erläutert. Im sechsten Ausführungsbeispiel wird die Technik der vorliegenden Erfindung angewandt bei einer Bewegungsfeststellschaltung für beispielsweise dynamische Bilder. Unter Bezug auf Fig. 10 enthält die Bewegungsfeststellschaltung Speicher 161 und 162 zum Speichern von Standarddaten beziehungsweise Bezugsdaten, eine Korrelationsrecheneinheit 163, eine Steuereinheit 164 zum Steuern des gesamten Chips, eine Addiereinheit 165 zum Addieren der Korrelationsergebnisse der Korrelationsrecheneinheit 163, ein Register 166 zum Speichern eines Minimalwertes der Summen, die die Addiereinheit 165 abgibt, eine Vergleichsspeichereinheit 167, die als Vergleicher dient, und eine Einheit zum Speichern der Adresse des Minimalwertes und eine Einheit 168, die als Ausgabepuffer dient, und eine Ausgabeergebnis-Speichereinheit. Eine Standarddatenkette wird auf einen Eingangsbus 169 gegeben, und eine Bezugsdatenkette, die zu vergleichen ist mit der Standarddatenkette, wird vom Eingabebus 170 eingegeben. Die Speicher 161 und 162 enthalten SRAM und sind aufgebaut aus normalen CMOS-Schaltungen.

Daten, die aus den Bezugs- und Standarddatenspeichern 162 und 161 an die Korrelationsrecheneinheit 163 geliefert werden, können verarbeitet werden in paralleler Weise mit hoher Geschwindigkeit, da die Einheit 163 über eine Korrelationsrechenoperationsschaltung nach der vorliegenden Erfindung verfügt. Aus diesem Grund kann die Einheit 163 nicht nur eine sehr hohe Geschwindigkeitsverarbeitung erzielen, sondern auch durch eine geringere Anzahl von Elementen aufgebaut werden, womit die Chipgröße und die Kosten verringert werden. Das Korrelationsrechenoperationsergebnis wird von der Addiereinheit 161 bewertet und wird verglichen mit den Inhalten des Registers 166, der das maximale

07-346-00

Korrelationsrechenoperationsergebnis (minimale Summe) speichert, vor der laufenden Korrelationsrechenoperation durch die Vergleichs/Speichereinheit 167. Wenn das laufende Rechenoperationsergebnis kleiner als der vorherige Minimalwert ist, wird das laufende Ergebnis erneut in das Register 166 gespeichert; wenn das vorherige Ergebnis kleiner als das laufende Ergebnis ist, wird das vorherige Ergebnis beibehalten. Mit dieser Operation wird immer das maximale Korrelationsrechenoperationsergebnis im Register 166 gespeichert, und nach Abschluß der Operation bezüglich aller Datenketten wird das letztliche Korrelationsergebnis ausgegeben, beispielsweise als ein 16-Bit-Signal aus einem Ausgangsbus 171.

Die Steuereinheit 164, die Addiereinheit 165, das Register 166, die Vergleichs/Speichereinheit 167 und die Einheit 168 sind aus herkömmlichen CMOS-Schaltungen hier aufgebaut. Wenn insbesondere die Addiereinheit 165 oder dergleichen die Schaltungsanordnung annimmt, die Rücksetzschaltungen nach der vorliegenden Erfindung enthält, kann eine hochpräzise Leseverstärkeroperation realisiert werden, und es kann auch eine Hochgeschwindigkeitsverarbeitung realisiert werden. Wie zuvor beschrieben, werden nicht nur die Hochgeschwindigkeitsverarbeitung und geringe Kosten realisiert, sondern es wird auch der Stromverbrauch verringert, da die Rechenoperationen ausgeführt werden auf der Grundlage von Kapazitäten über die Zwischenspeicherschaltungen, womit geringer Stromverbrauch realisiert wird. Aus diesem Grund ist die Erfindung geeignet, in einer tragbaren Einrichtung Verwendung zu finden, wie in einer 8-mm-VTR-Kamera oder dergleichen.

[Siebentes Ausführungsbeispiel]

Das siebente Ausführungsbeispiel nach der vorliegenden Erfindung ist nachstehend anhand der Figuren 11A, 11B und 11C beschrieben. Das siebente Ausführungsbeispiel stellt eine Schaltungsanordnung dar, die eine Hochgeschwindigkeitsbildverarbeitung ausführt, bevor ein Bildsignal ausgelesen wird, nach Integration der Technik der

07.06.02

EP 17583

vorliegenden Erfindung, und einen optischen Sensor
(Halbleiterbildaufnahmeelement).

Fig. 11 ist ein Blockdiagramm, das die Gesamtanordnung einer Schaltung dieses Ausführungsbeispiels darstellt, Fig. 11B ist ein Schaltungsdiagramm, das die Anordnung eines Pixelabschnitts der Schaltung in diesem Ausführungsbeispiel zeigt, und Fig. 11C ist eine schematische Ansicht zur Erläuterung von Rechenoperationsinhalten dieses Ausführungsbeispiels.

Unter Bezug auf Fig. 11A enthält die Schaltung Lichtempfangsabschnitte 141, die jeweils ein photoelektrisches Wandlerelement, Zeilenspeicher 143, 145, 147 und 149 enthalten, Korrelationsrecheneinheiten 144 und 148 sowie eine Rechenoperationsausgabeeinheit 150. Der Lichtempfangsabschnitt 141, der in Fig. 11B gezeigt ist, enthält Koppelkondensatormittel 151 und 152 zum Verbinden optischer Signalausgangsanschlüsse mit Ausgangsbusleitungen 142 und 146, einen Bipolartransistor 153, Kondensatormittel 154, die mit der Basiszone des Bipolartransistors 153 verbunden sind, und einen MOS-Schalttransistor 155. In eine Bilddatenleseeinheit 160 eingegebene Bilddaten werden photoelektrisch umgesetzt in der Basiszone des Bipolartransistors 153.

Ein Ausgangssignal gemäß den photoelektrisch umgesetzten Phototrägern wird ausgelesen zum Emitter des Bipolartransistors 153 und hebt die Potentiale der Ausgangsbusleitungen 142 und 146 gemäß einem eingegebenen Speicherladesignal über die Koppelkondensatormittel 151 und 152. Mit der zuvor beschriebenen Operation wird die Summe der Ausgangssignale aus den Pixeln in Spaltenrichtung zum Zeilenspeicher 147 ausgelesen, und die Summe der Ausgangssignale aus den Pixeln in Zeilenrichtung wird ausgelesen in den Zeilenspeicher 143. Wenn in diesem Falle eine Zone, bei der das Basispotential des Bipolartransistors über das Kondensatormittel 154 von einem jeden Abschnitt erhöht ist und ausgewählt wird unter Verwendung beispielsweise eines Decoders (in den Figuren 11A bis 11C nicht dargestellt), können die

07.08.02

Summen in X- und Y-Richtung einer beliebigen Zone auf der Leseeinheit 160 abgegeben werden.

Wie beispielsweise in Fig. 11C gezeigt, wenn ein Bild 156 zur Zeit t_1 eingegeben wird und ein Bild 157 zur Zeit t_2 , eingegeben wird, werden Ausgabeergebnisse 158 und 159 durch jeweiliges Addieren dieser Bilder in Y-Richtung gewonnen, Bildsignale, die den Bewegungszustand eines Fahrzeugs darstellen, das in Fig. 11C gezeigt ist, und diese Daten werden in den Zeilenspeichern 147 beziehungsweise 149 gespeichert, wie in Fig. 11A gezeigt. Daten, die durch Addieren von Bilddaten in X-Richtung gewonnen sind, werden gleichermaßen in den Zeilenspeichern 143 und 145 gespeichert.

Wie aus den Datenkettenausgangssignalen 158 und 159 der in Fig. 11C gezeigten Bildsignale ersichtlich, verschieben sich die Daten der zwei Bilder gemäß der Bewegung des Bildes. Wenn somit die Korrelationsrecheneinheit 148 den Verschiebungsbetrag errechnet und die Korrelationsrechenschaltung 144 gleichermaßen Daten in Horizontalrichtung errechnet, kann die Bewegung eines Gegenstands auf der zweidimensionalen Ebene festgestellt werden durch ein ganz einfaches Verfahren.

Die Korrelationsrecheneinheiten 144 und 148, die in Fig. 11A gezeigt sind, können die Korrelationsrechenoperationsschaltung nach der vorliegenden Erfindung verwenden. Jede dieser Einheiten hat eine geringere Anzahl an Elementen als die herkömmliche Schaltung und kann insbesondere im Sensorpixelrastermaß sein. Diese Anordnung führt Rechenoperationen auf der Grundlage analoger Signale aus, die vom Sensor kommen. Wenn jedoch der A/D-Wandler nach der vorliegenden Erfindung zwischen einem jeden Speicher und der Ausgangsbusleitung angeordnet wird, kann eine digitale Korrelationsrechenoperation realisiert werden, was sich zu erwähnen erübrigt.

Das Sensorelement nach der vorliegenden Erfindung enthält einen Bipolartransistor. Jedoch ist die vorliegende Erfindung ebenso wirksam für einen MOS-Transistor oder nur eine Photodiode, ohne irgendeinen Verstärkungstransistor vorzusehen.

07.06.02

EP 17583

Dieses Ausführungsbeispiel führt des weiteren eine Korrelationsrechenoperation zwischen Datenketten zu unterschiedlichen Zeiten aus. Wenn alternativ das X- und Y-Projektionsergebnis einer Vielzahl von Musterdaten, die zu erkennen sind, in einem Speicher gespeichert sind, kann auch eine Mustererkennung realisiert werden.

Wenn die Pixeleingabeeinheit und die Korrelationsrechenoperationsschaltung oder dergleichen nach der vorliegenden Erfindung kombiniert werden, lassen sich, wie schon zuvor beschrieben, folgende Wirkungen erwarten.

(1) Da Daten, die parallel und gleichzeitig aus dem Sensor gelesen werden, einer Parallelverarbeitung unterzogen werden, anders als bei der herkömmlichen Verarbeitung zum seriellen Auslesen von Daten aus dem Sensor, kann eine Hochgeschwindigkeits-Bewegungsfeststellung und Hochgeschwindigkeits-Mustererkennungsverarbeitung ausgeführt werden.

(2) Da eine 1-Chip-Halbleitereinrichtung, die einen Sensor enthält, aufgebaut werden kann, und eine Bildverarbeitung sich realisieren lässt ohne Erhöhen der Größe peripherer Schaltungen, können folgende hochgradige Funktionsprodukte bei geringem Kostenaufwand realisiert werden: (a) Steuerausrüstung zum Drehen des Fernsehbildschirms hin zur Anwenderrichtung, (b) Steuereinrichtung zum Drehen der Windrichtung einer Klimaanlage hin zur Anwenderrichtung, (c) Spurfolgesteuerungsausrüstung für eine 8-mm-VTR-Kamera, (d) Etikettenerkennungseinrichtung in einer Fabrik, (e) Empfangsroboter, der automatisch eine Person erkennt, (f) Fahrzeugzwischenabstandssteuerung für ein Fahrzeug und dergleichen.

Die Integration der Bildeingabeeinheit und der Schaltung nach der vorliegenden Erfindung ist beschrieben worden. Die vorliegende Erfindung ist effektiv nicht nur für Bilddaten, sondern beispielsweise auch zur Erkennungsverarbeitung von Audiodaten.

07-06-02

Da gemäß der zuvor beschriebenen Erfindung eine Schaltung zum Ausführen paralleler Rechenoperationen für multiple variable Signale aufgebaut werden kann aus einer geringeren Anzahl von Transistoren als bei herkömmlicher Logikschaltung und eine hohe Empfindlichkeit für schwache Signale besitzt, kann eine hohe Rechenoperationsgeschwindigkeit und ein geringer Stromverbrauch erzielt werden.

Da Signale mit demselben Absolutwert, aber entgegengesetzten Polaritäten in die differentiellen Eingangsanschlüsse der Leseverstärker des Differentialeingangs/Ausgangstyps geschrieben werden können, lässt sich die Differentialverstärkung des Lesesystems erhöhen, und eine ultrahohe Empfindlichkeitsfeststellung lässt sich realisieren.

Beispielsweise kann die Anzahl paralleler Verarbeitungsoperationen erhöht werden, und die Anzahl von Rechenoperationen pro Zyklus lässt sich ebenfalls erhöhen. Da der Leseverstärker des Differentialeingangs/Ausgangstyps aufgebaut werden kann aus MOS-Transistoren, lässt sich ein geringer Schaltungsumfang, eine geringe Anzahl von Verarbeitungsstufen und eine Hochgeschwindigkeitsverarbeitung erzielen, da eine Mehrfacheingangsstufe gebildet werden kann aus MOS-Transistoren.

Wenn des weiteren der Leseverstärker des Differentialeingangs/Ausgangstyps einen Leseverstärker des Zwischenspeichertyps enthält, hat der Leseverstärker selbst eine Speicherfunktion und nicht invertierte und invertierte Signale abgeben. Aus diesem Grund können Hochpräzisionsdaten frei von Einmischen von Störungen übertragen werden, und wenn Halbleitereinrichtungen der vorliegenden Erfindung miteinander in Serie geschaltet sind, kann die Anordnung der Mehrfacheingangsstufe weiter vereinfacht werden.

Wenn die Halbleitereinrichtung nach der vorliegenden Erfindung bei einer Majoritätsschaltung angewandt wird, bei einem A/D- oder D/A-Wandler, und bei einem Signalverarbeitungssystem, wie einer Einheit oder einem System, kann dies aufgebaut sein durch einen Chip mit einer kleinen

07.06.02
39

EP 17583

physischen Struktur und einem geringen Schaltungsumfang. Die Anzahl von Verdrahtungsleitungen lässt sich verringern, das Einmischen von Außenstörungen kann beseitigt werden, und eine Hochgeschwindigkeitsrechenoperationsverarbeitung lässt sich realisieren.

Tabelle 1

| Eingang | S3 | S2 | S1 |
|---------|----|----|----|
| 0/7 | 0 | 0 | 0 |
| 1/7 | 0 | 0 | 1 |
| 2/7 | 0 | 1 | 0 |
| 3/7 | 0 | 1 | 1 |
| 4/7 | 1 | 0 | 0 |
| 5/7 | 1 | 0 | 1 |
| 6/7 | 1 | 1 | 0 |
| 7/7 | 1 | 1 | 1 |

07-06-02

Tabelle 2

| analoge
Eingangsspannung | S3 | S2 | S1 |
|-----------------------------|----|----|----|
| $0,0 \leq 0,625$ | 0 | 0 | 0 |
| $0,625 \leq 1,25$ | 0 | 0 | 1 |
| $1,25 \leq 1,875$ | 0 | 1 | 0 |
| $1,875 \leq 2,5$ | 0 | 1 | 1 |
| $2,5 \leq 3,125$ | 1 | 0 | 0 |
| $3,125 \leq 3,75$ | 1 | 0 | 1 |
| $3,75 \leq 4,375$ | 1 | 1 | 0 |
| $4,375 \leq 5,0$ | 1 | 1 | 1 |

07.06.02

EP 17583

Deutschsprachige Übersetzung der Patentansprüche
der europäischen Patentanmeldung Nr. 96 101 268.9-2215
des europäischen Patents Nr. 0 725 357

Patentansprüche

1. Halbleiteranordnung, bei der Anschlüsse einer Seite eines Kondensatormittels verbunden sind mit Vielfacheingangsanschlüssen über erste Umschaltmittel, die eine positive oder negative Logik eines eingegebenen Signals auswählen, und bei der die Anschlüsse der anderen Seite des Kondensatormittels gemeinsam mit einem ersten Differentialeingangsmittel eines Leseverstärkers des Differentialeingangs-/ -ausgangstyps über zweite Umschaltmittel verbunden sind und der gemeinsam verbundene Abschnitt des Kondensatormittels über ein drittes Umschaltmittel mit einem zweiten Differentialeingangsmittel des Leseverstärkers vom Differentialeingangs-/ -ausgangstyp verbunden ist, wobei das zweite Differentialeingangsmittel eine entgegengesetzte Polarität zu der des ersten Differentialeingangsmittels hat.
2. Anordnung nach Anspruch 1, bei der ein erstes Rücksetzschaltmittel verbunden ist mit dem gemeinsam verbundenen Anschluß des Kondensatormittels.
3. Anordnung nach Anspruch 2, bei der ein zweites und drittes Rücksetzschaltmittel verbunden ist mit dem ersten beziehungsweise zweiten Differentialeingangsmittel des Leseverstärkers vom Differentialeingangs-/ -ausgangstyp.
4. Anordnung nach Anspruch 3, bei der sich eine EIN-Periode des ersten, zweiten und dritten Rücksetzschaltmittels wenigstens mit einer ersten Kondensatoreingangsanschluß-Rücksetzperiode

07.08.02

überlappt, in der entweder die positive Logik oder die negative Logik des Eingangssignals einen Anschluß eines jeden Kondensatormittels über das erste Schaltmittel beaufschlagt.

5. Anordnung nach Anspruch 2, bei der eine EIN-Periode des zweiten Schaltmittels zum Verbinden des gemeinsam verbundenen Anschlusses vom Kondensatormittel mit dem ersten Differentialeingangsmittel vom Leseverstärker des Differentialeingangs-/ausgangstyps wenigstens nach einer ersten Eingangssignal-Übertragungsperiode startet, in der ein Signal einer Logik, die der Logik entgegengesetzt ist, die während der ersten Kapazitätseingangs-Anschlußrücksetzperiode anliegt, in einen Anschluß der einen Seite von jedem Kondensatormittel über das erste Schaltmittel geschrieben wird.

6. Anordnung nach Anspruch 2, bei der nach der EIN-Periode des zweiten Schaltmittels der gemeinsam verbundene Anschluß des Kondensatormittels erneut vom ersten Rücksetzmittel ein Rücksetzen erfährt.

7. Anordnung nach Anspruch 1, bei der eine EIN-Periode des dritten Schaltmittels zum Verbinden des gemeinsam verbundenen Anschlusses des Kondensatormittels und des zweiten Differentialeingangsmittels vom Leseverstärker des Differentialeingangs-/ausgangstyps wenigstens nach einer zweiten Eingangssignal-Übertragungsperiode startet, in der ein Signal derselben Logik wie die während der ersten Kapazitätseingangsanschluß-Rücksetzperiode anliegende Logik in einen Anschluß der einen Seite eines jeden Kondensatormittels über das erste Schaltmittel geschrieben wird.

8. Anordnung nach Anspruch 7, bei der eine Differenz zwischen einer Verstärkereingangsspannung 1, gehalten vom ersten

07.06.02

EP 17583

Differentialeingangsmittel während der ersten Eingangssignal-Übertragungsperiode zum Schreiben von Signalen an die Anschlüsse der einen Seite vom Kondensatormittel, und einer Verstärkungseingangsspannung 2, gehalten vom zweiten Differentialeingangsmittel während der zweiten Eingangssignal-Übertragungsperiode, auf einen logischen Verstärkungspegel durch Einschalten des Leseverstärkers vom Differentialeingangs-/ausgangstyps verstärkt wird, wobei Differenzausgangssignale eine Übertragung zur nächsten Stufe erfahren.

9. Anordnung nach Anspruch 1, bei der der Leseverstärker des Differentialeingangs-/ausgangstyps ein Verstärker vom Differentialausgangstyp ist, der ein Differentialpaar besitzt, das gebildet ist durch Transistoren gleicher Polarität in einer Eingangsstufe, und der ein Eingangssignal auf einen logischen Verstärkungspegel mit einer Polarität gemäß einer eingegebenen Potentialdifferenz des Differentialpaars verstärken kann.

10. Anordnung nach Anspruch 9, bei der der Verstärker des Differentialausgangstyps durch ein externes Steuersignal einschaltbar ist und eine Funktion des Haltens eines vorherigen Rechenoperationsergebnisses besitzt, bevor der Verstärker ausgeschaltet wird.

11. Anordnung nach Anspruch 1, bei der der Leseverstärker des Differentialeingangs-/ausgangstyps ein Leseverstärker des Zwischenspeichertyps unter Verwendung einer positiven Rückkopplungswirkung ist.

12. Anordnung nach Anspruch 11, bei der der Leseverstärker des Zwischenspeichertyps eine Funktion der Aktivierung/Deaktivierung einer Verstärkungswirkung aufgrund der positiven Rückkopplungswirkung durch ein externes Steuersignal besitzt.

07.06.02

EP 17583

13. Halbleiterschaltung mit einer Vielzahl von Halbleiteranordnungen nach Anspruch 1, bei der ein Ausgangssignal aus der ersten Halbleiteranordnung der Vielzahl von Halbleiteranordnungen und/oder ein invertiertes Ausgangssignal vom Ausgang der ersten Halbleiteranordnung in die zweite Halbleiteranordnung gelangt.
14. Halbleiterschaltung, bei der eine minimale Kapazität des ersten Kondensatormittels gemäß den Vielfacheingangsanschlüssen in einer Halbleitereinrichtung vom Anspruch 1 dargestellt ist durch C und eine Gesamtheit von Kapazitäten des gemeinsam verbundenen Kondensatormittels im wesentlichen ein ungradzahliges Vielfaches der minimalen Kapazität C ist.
15. Korrelationsrecheneinrichtung zum Ausführen einer Korrelationsrechenoperation unter Verwendung einer Halbleiterschaltung nach Anspruch 13.
16. Signalumsetzer, der über eine Halbleitereinrichtung nach Anspruch 1 verfügt, der ein analoges Signal an die Halbleitereinrichtung liefert und ein digitales Signal gemäß dem analogen Signal abgibt.
17. Signalumsetzer, der über eine Halbleitereinrichtung nach Anspruch 1 verfügt, der ein digitales Signal an die Halbleitereinrichtung anlegt und ein analoges Signal gemäß dem digitalen Signal abgibt.
18. Signalverarbeitungssystem mit einer Korrelationsrechenvorrichtung nach Anspruch 15.

07-06-02

EP 17583

19. System nach Anspruch 18, das des weiteren über eine Bildeingabeeinrichtung verfügt, die ein Bildsignal eingibt.

20. System nach Anspruch 18, das des weiteren über eine Speichereinrichtung verfügt, die Informationen speichert.

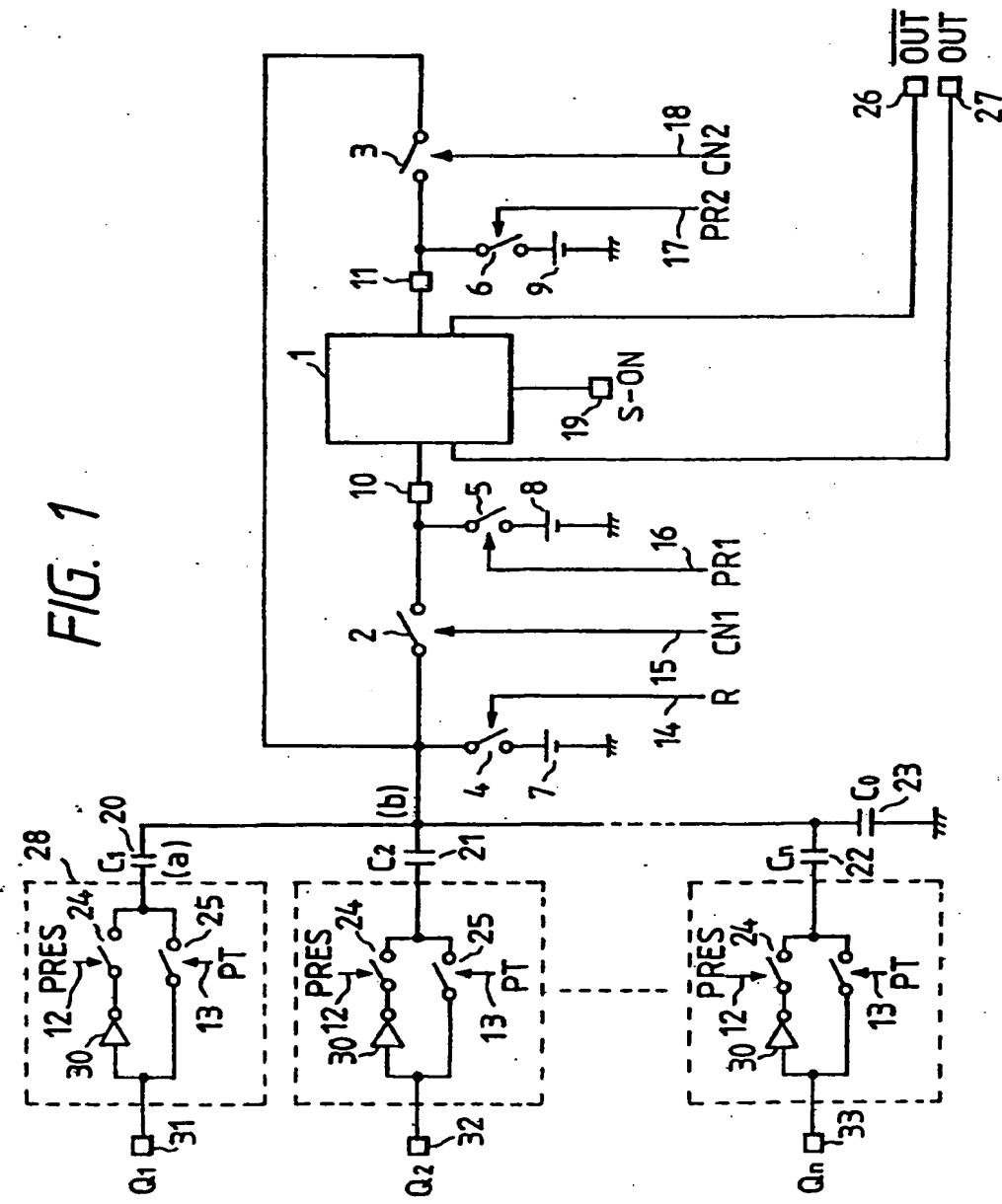
21. Signalverarbeitungssystem, das über einen Signalumsetzer nach Anspruch 16 verfügt.

22. Signalverarbeitungssystem, das über einen Signalumsetzer nach Anspruch 17 verfügt.

* * *

1/11

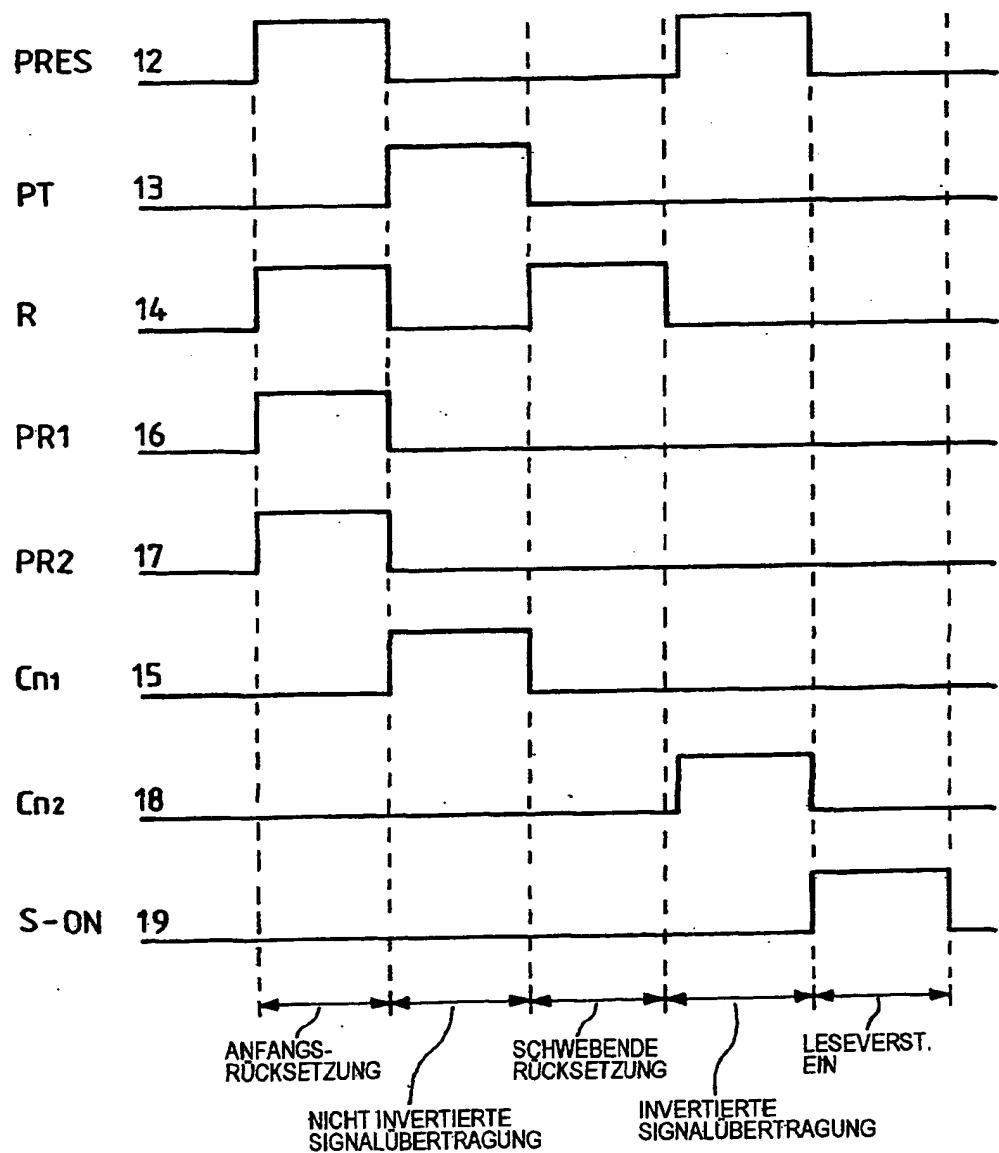
FIG. 1



07-06-02

2/11

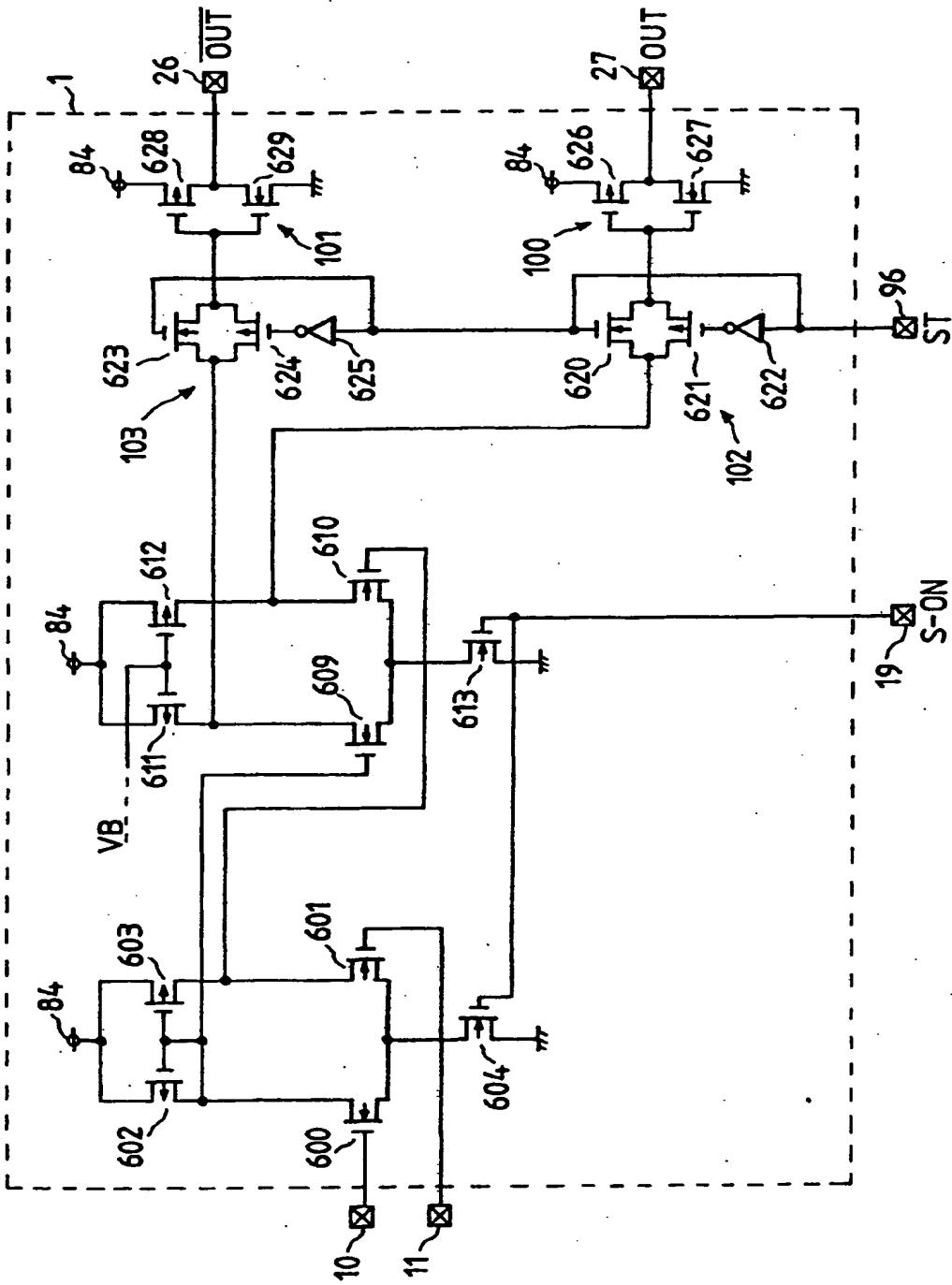
FIG. 2



07-06-02

3/11

FIG. 3



07.06.02

4 / 11

FIG. 4

NMOS604,613,EIN-
ALT PERIODEN

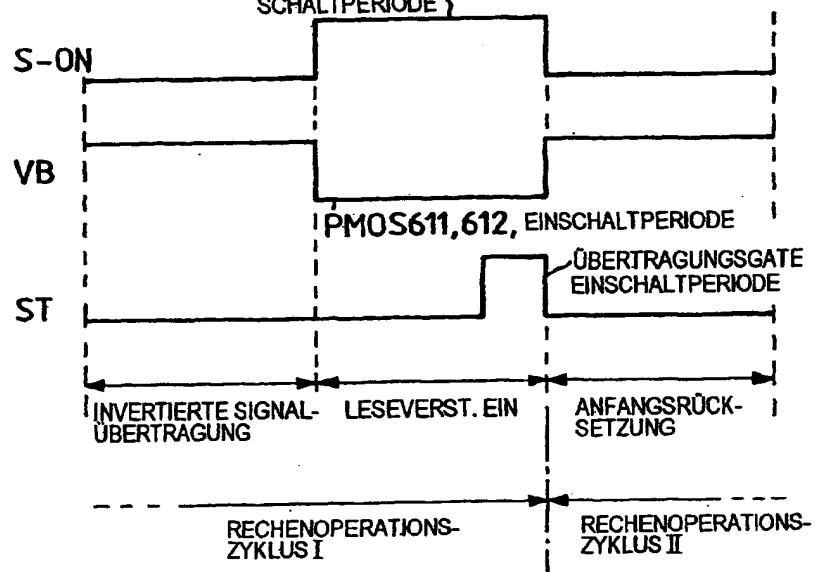
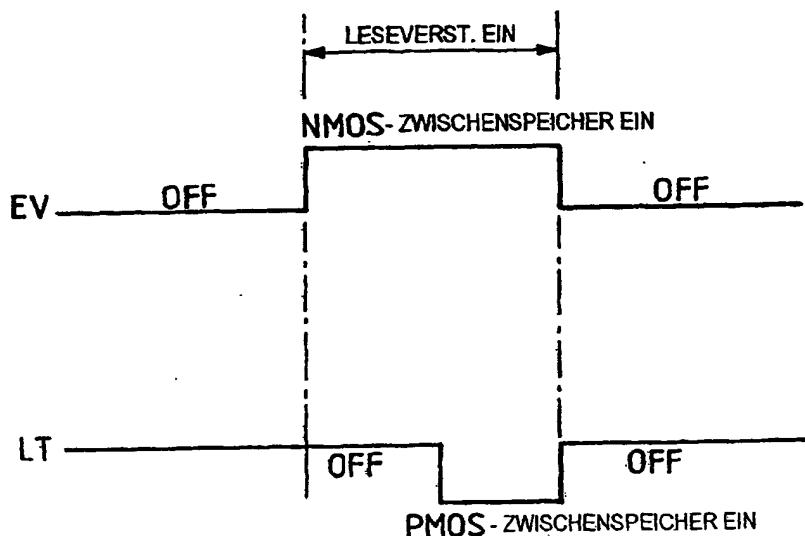


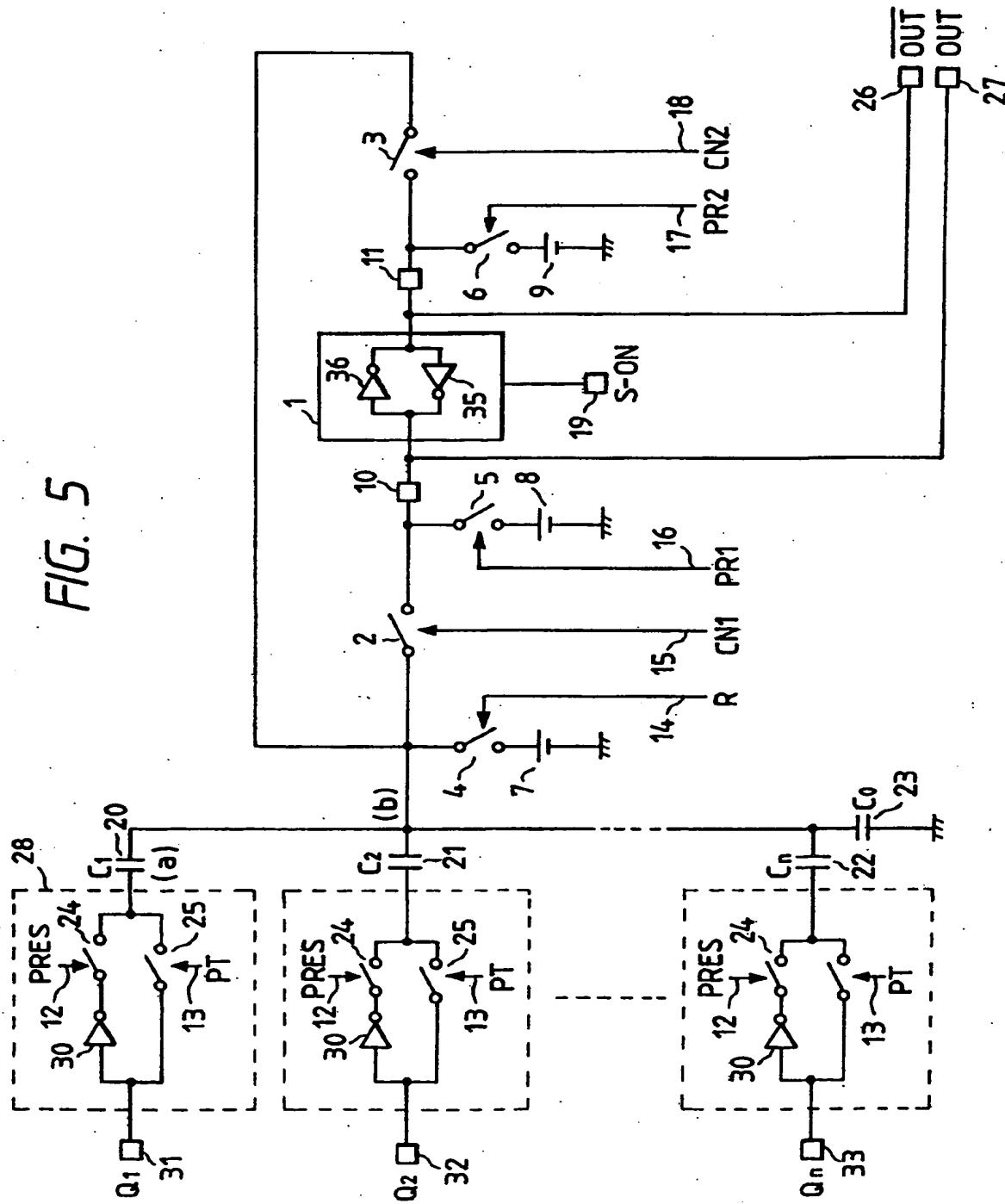
FIG. 7



07.06.02

5/11

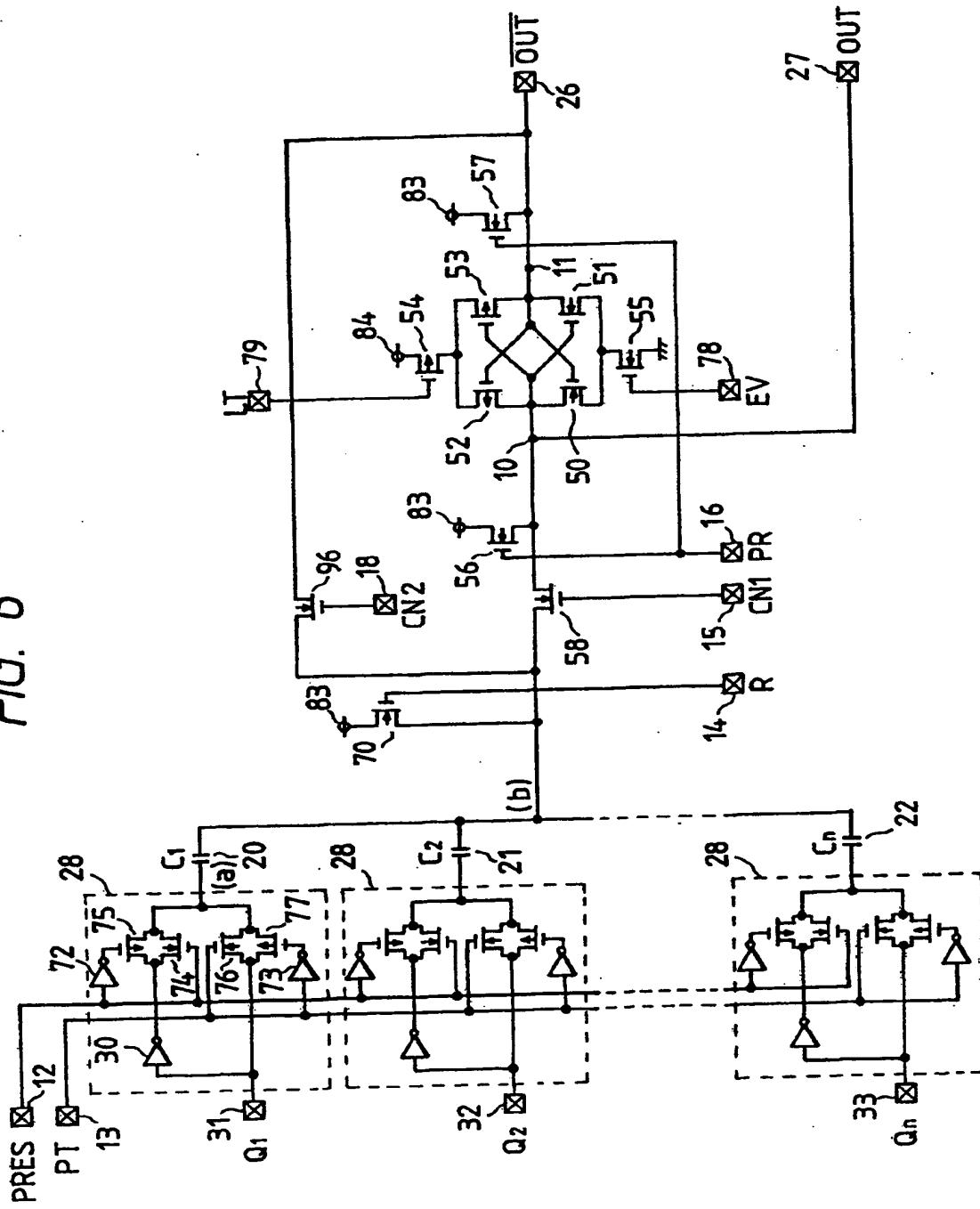
FIG. 5



07-06-02

6/11

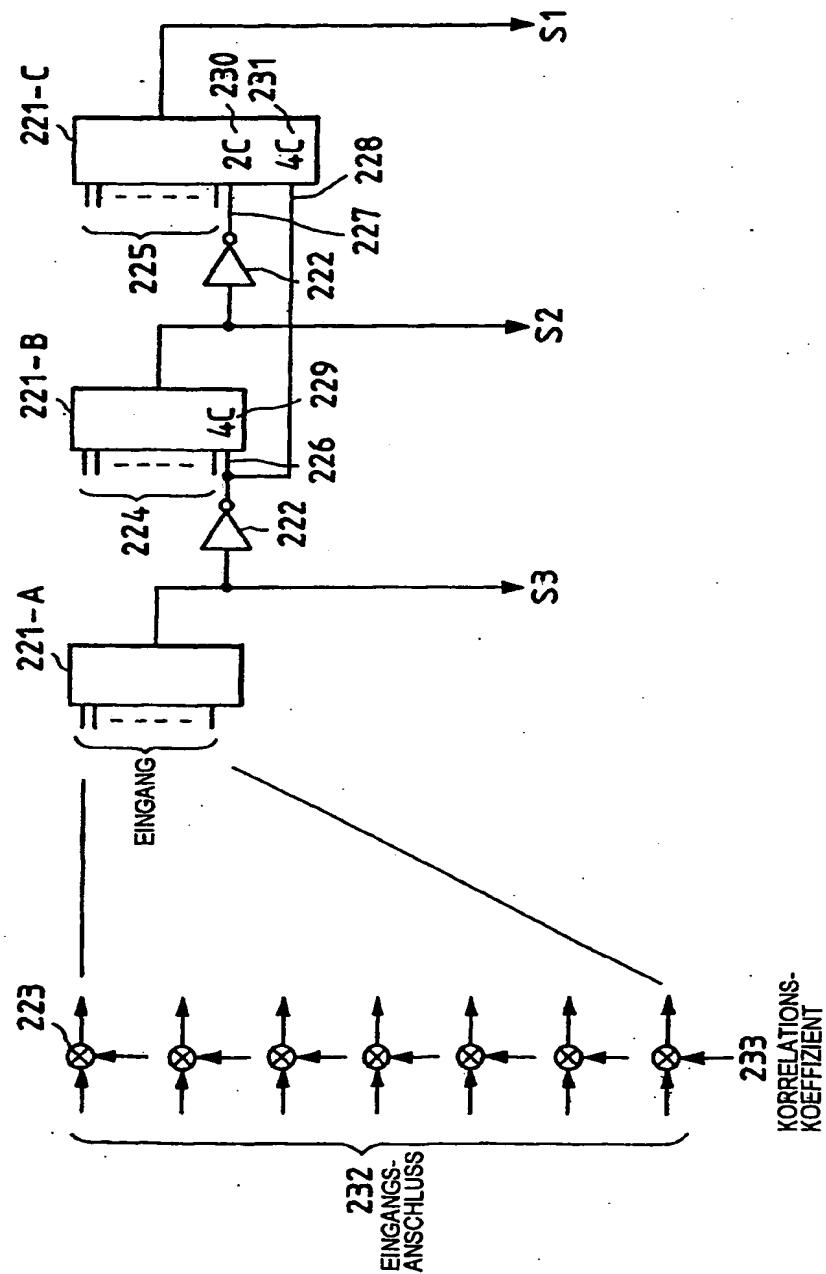
FIG. 6



07.06.02

7/11

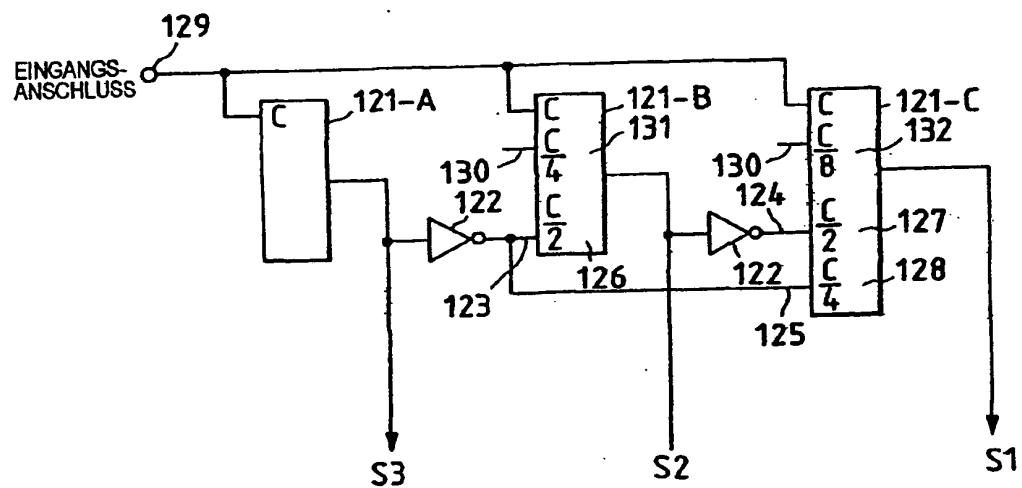
FIG. 8



07-06-02

8/11

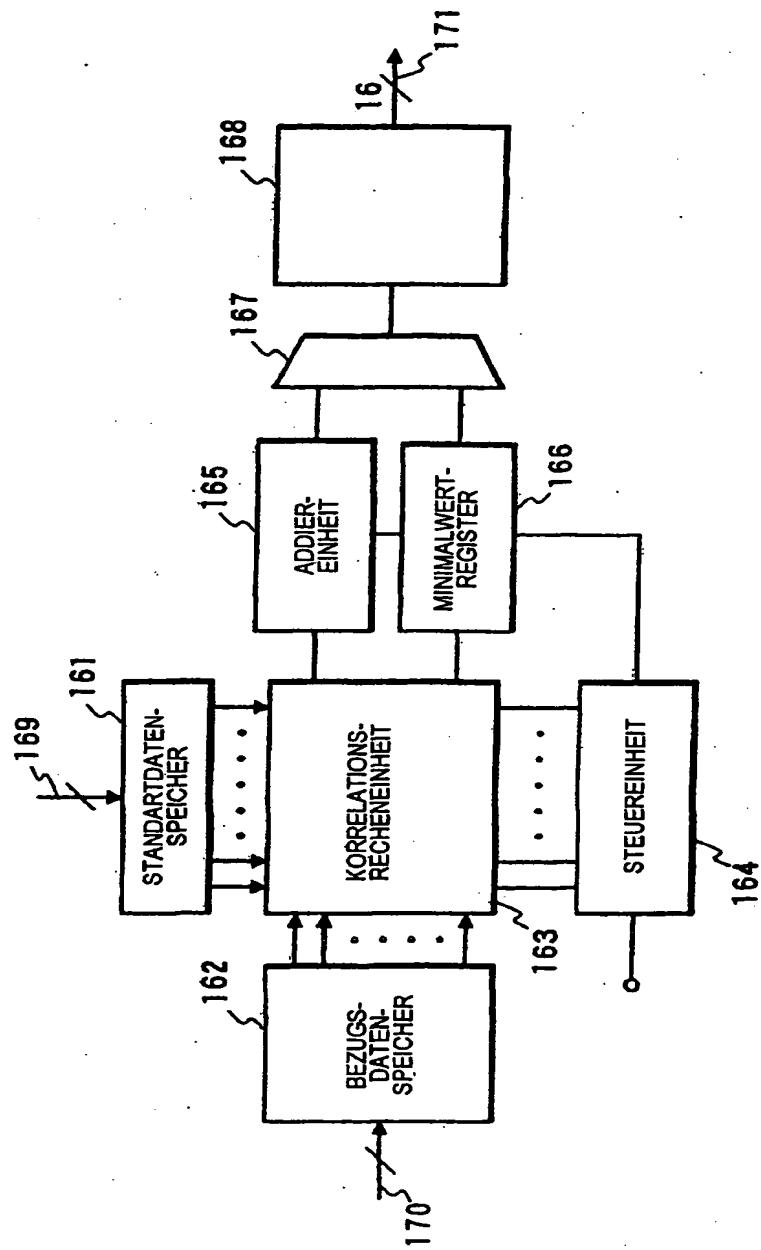
FIG. 9



07.06.02

9/11

FIG. 10



07.06.02

10/11

FIG. 11A

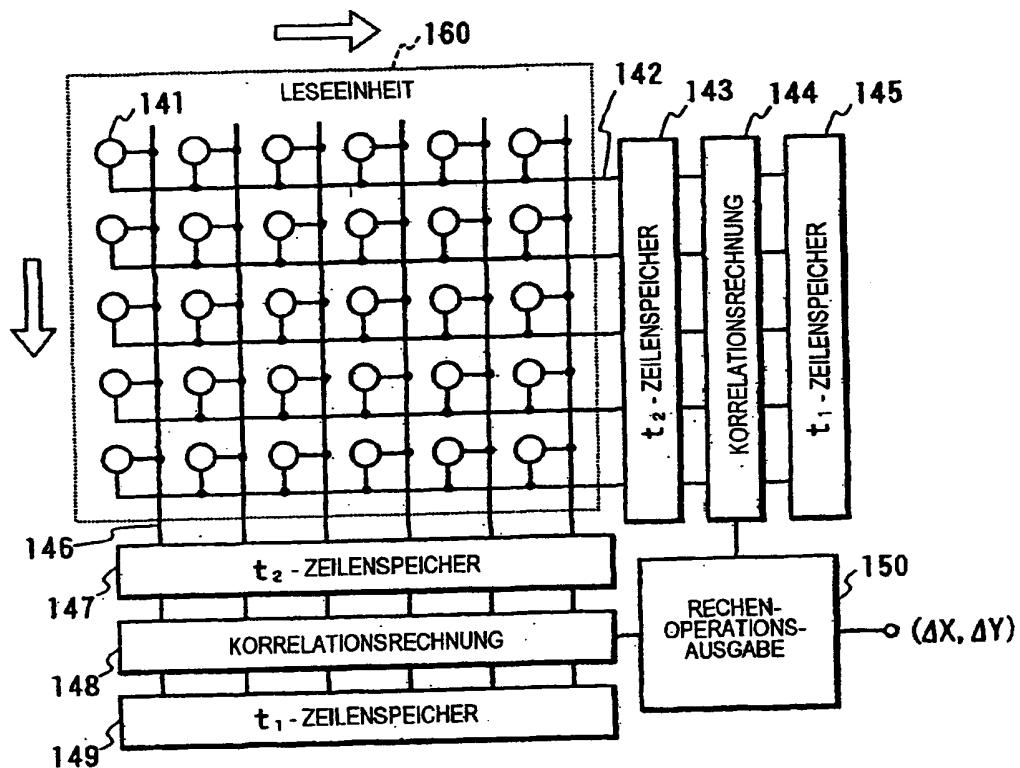
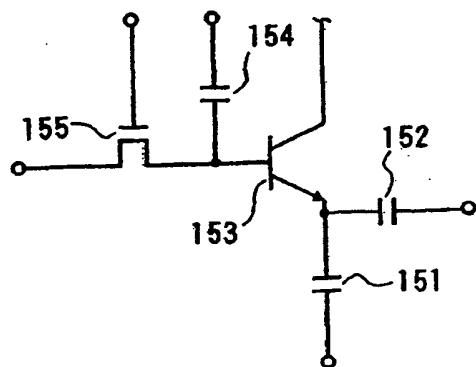


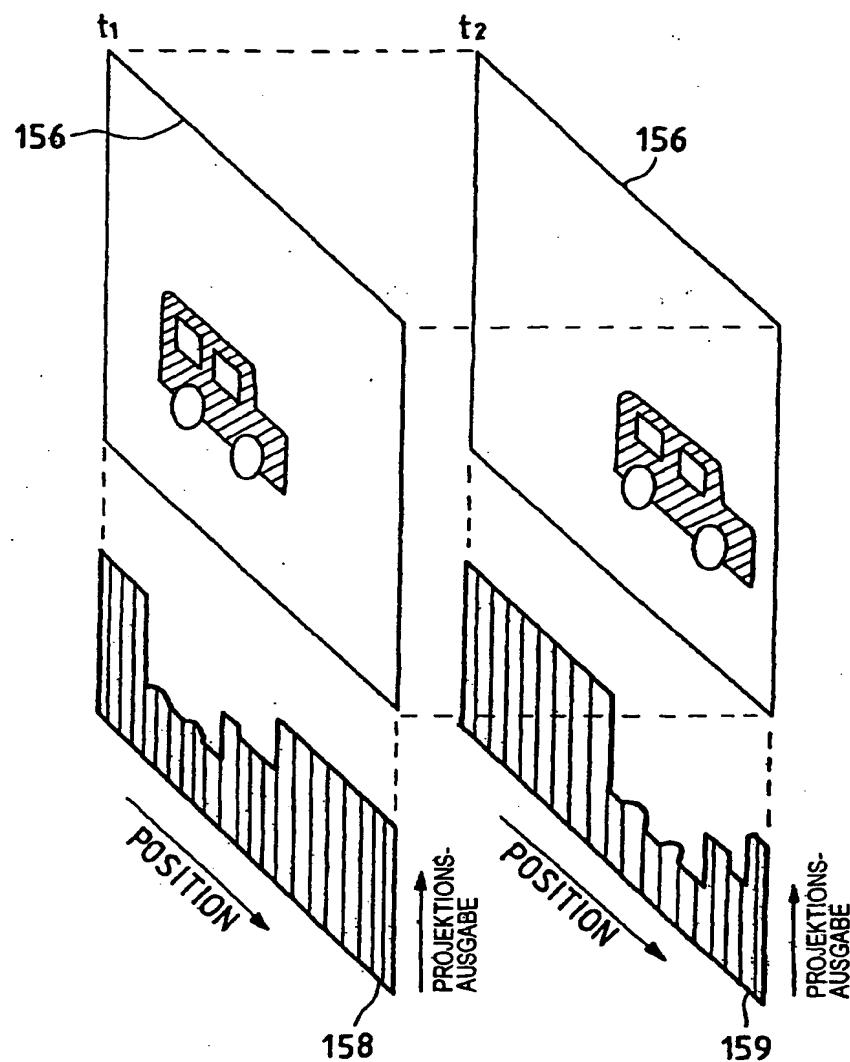
FIG. 11B



07.06.02

11/11

FIG. 11C



THIS PAGE BLANK (USPTO)